

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 6 月 6 日 (06.06.2002)

PCT

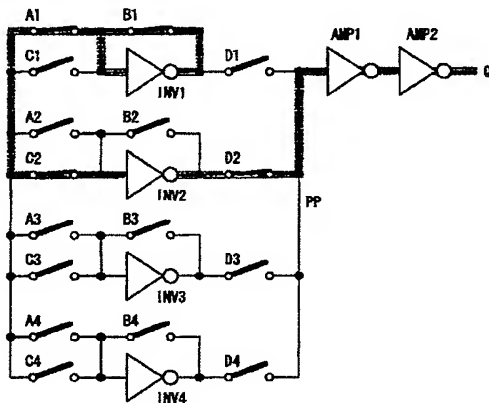
(10) 国際公開番号
WO 02/45139 A1

- (51) 国際特許分類⁷: H01L 21/02, 21/66, 27/04, G01R 31/28
- (21) 国際出願番号: PCT/JP01/07727
- (22) 国際出願日: 2001 年 9 月 6 日 (06.09.2001)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
PCT/JP00/08500 2000 年 12 月 1 日 (01.12.2000) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社日立製作所 (HITACHI, LTD) [JP/JP]; 〒101-8010 東京都千代田区神田駿河台四丁目 6 番地 Tokyo (JP). 株式会社日立超エル・エス・アイ・システムズ (HITACHI ULSI SYSTEMS CO., LTD.) [JP/JP]; 〒187-8522 東京都小平市上水本町 5 丁目 22 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 村中雅也 (MURANAKA, Masaya) [JP/JP]; 〒187-8522 東京都小平市上水本町 5 丁目 22 番 1 号 株式会社日立超エル・エス・アイ・システムズ内 Tokyo (JP).
- (74) 代理人: 弁理士 徳若光政 (TOKUWAKA, Kousei); 〒181-0001 東京都三鷹市井の頭 5 丁目 16 番 8 号 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, SG, US.
- (84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).
- 添付公開書類:
— 国際調査報告書

[続葉有]

(54) Title: METHOD FOR IDENTIFYING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, METHOD FOR MANUFACTURING SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE, SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND SEMICONDUCTOR CHIP

(54) 発明の名称: 半導体集積回路装置の識別方法、半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップ



(57) Abstract: In the manufacturing process of a semiconductor integrated circuit device, a plurality of identification elements having the same arrangement are formed and the relation of magnitude in a physical quantity corresponding to variation in the process of the plurality of identification elements is employed as identification information specific to the semiconductor integrated circuit device.

(57) 要約:

半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、上記複数の識別要素のプロセスバラツキに対応した物理量の相互の大小関係に基づいてかかる半導体集積回路装置の固有の識別情報として用いる。



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

明 細 書

半導体集積回路装置の識別方法、半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップ

05

技術分野

この発明は、半導体集積回路装置の識別方法、半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップに関し、主として半導体集積回路装置又は半導体チップに固有の識別情報を割り当て、個々の半導体集積回路装置又は半導体チップの識別を行う技術に関するものである。

10

背景技術

半導体集積回路装置は、それに固有の識別情報が付与されていれば、その識別情報に基づいて種々の望むべき利用行為が可能となる。半導体集積回路装置に、その一個一個のようなレベルで固有の識別情報を設定しておくことができるならば、その固有の識別情報の利用の元で、本発明者が明らかにした後で説明するような新しい、製造方法や製品管理技術を提供することができる。

15

半導体集積回路装置の実使用段階のような段階で不具合が発生したような場合、その半導体集積回路装置から固有の識別情報を得ることができるならば、その不具合をもたらした要因の追求を容易にする。例えば、半導体メーカーにとって、半導体集積回路装置の固有の識別情報に基づいて、その製造時期、製造ライン、製造ロット、検査来歴、設計情報、等々の情報を把握できる。それによって、不具合の発生要因の追求が容易になり、その対策も容易になる。

20

25

半導体集積回路装置を構成するパッケージに付されるインク印刷法やレーザ刻印法によるようなマーキングは、一種の識別情報とみなされ得る。その種のマーキングは、半導体集積回路装置の製品型名が主体となっているが、その製品型名と共に、年、週などの製造時期のコード表示
05 が含まれることも有る。しかしながら、その種のマーキング表示では、それによって表示可能な情報量の少なさに応じて、工業製品として多量に製造されたり長期間に渡って製造されたりする半導体集積回路装置の一個一個のようなレベルでの固有の識別情報を設定することは困難である。

10 半導体集積回路装置を構成する半導体チップに対して、ヒューズ素子のようなプログラム可能な素子を設定し、そのプログラム可能な素子に固有の識別情報を与えることを想定することは可能である。しかしその種の想定し得る技術は、元々の半導体集積回路装置がプログラム素子を要しないものであったなら、そのプログラム可能な素子のために新たな
15 製造工程を要してしまい、半導体集積回路装置の製造プロセスの複雑化や、価格の上昇を引き起こしてしまう難点を持つ。半導体集積回路装置が、元々、プログラム可能な素子を持っているなら、新たな製造プロセスの複雑化は無い。その場合であっても、プログラム可能な素子に対して固有の認識情報を書き込むための製造工程の追加や変更が必要となる
20 。

シリコン・シグネチャーと称されるような既知の技術では、製品型名や固有情報を電氣的に読み出しできるような形態を持って半導体集積回路装置に書き込むようにされる。しかしながら、その種の技術では、上記と同様にその情報を書き込むための製造工程の追加や変更が必要になる。
25 。

本発明者は、本発明を成した後の調査によって、後で説明する本発明

に関連するとされるものとして、特開平 6-196435 号公報、特開平 10-055939 号公報、特開平 11-214274 号公報、特開平 7-335509 号公報、特開平 7-050233 号公報記載の発明が存在するとの報告を受けた。それら公報に記載の発明は、いずれも、
05 各チップに固有の識別情報を書き込むために、格別な製造工程を要するものと認められる。しかし、それら公報には、後で説明する本発明のように格別の製造工程の追加や変更を必要としないでも済む半導体集積回路装置の識別方法に関する記載は認められない。

したがって、この発明の一つの目的は、簡単な構成で個々の半導体集積回路装置又は半導体チップの識別を可能にした半導体集積回路装置又は半導体チップとその識別方法を提供することにある。この発明の他の目的は、高い信頼性のもとに個々の半導体集積回路装置又は半導体チップの識別を可能にした半導体集積回路装置を提供することにある。この発明の他の目的は、合理的な半導体集積回路装置の製造方法を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、
10 本明細書の記述および添付図面から明らかになるであろう。
15

発明の開示

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、上記複数の識別要素のプロセスバラツキに対応した物理量の相互の大小関係に基づいてかかる半導体集積回路装置又は半導体チップの固有の識別情報として用いる。
20

25

図面の簡単な説明

第 1 図は、この発明に係る識別番号発生回路の一実施例を示す基本的回路図であり、

第 2 図は、この発明に係る識別番号発生回路の他の一実施例を示す基本的回路図であり、

05 第 3 図は、この発明に係る識別番号発生回路の他の一実施例を示す基本的回路図であり、

第 4 図は、前記第 3 図の識別番号発生回路の動作の説明図であり、

第 5 図は、この発明に係る識別番号発生回路の他の一実施例を示す基本的回路図であり、

10 第 6 図は、前記第 5 図の実施例回路を説明するための等価回路図であり、

第 7 図は、前記第 5 図の実施例に対応した具体的一実施例を示す回路図であり、

15 第 8 図は、前記第 7 図の実施例回路の動作を説明するためのタイミングチャート図であり、

第 9 図は、前記第 7 図の実施例回路の動作の説明図であり、

第 10 図は この発明に係る識別番号発生回路の核になる CMOS インバータ回路とスイッチ MOS FET からなる単位回路の一実施例を示す変形例であり、

20 第 11 図は、この発明に係る識別番号発生回路の核になる CMOS インバータ回路とスイッチ MOS FET からなる単位回路の他の一実施例を示す変形例であり、

25 第 12 図は、この発明に係る識別番号発生回路の核になる CMOS インバータ回路とスイッチ MOS FET からなる単位回路の他の一実施例を示す変形例であり、

第 13 図は、この発明に係る識別番号発生回路の核になる CMOS イ

ンバータ回路とスイッチMOSFETからなる単位回路の他の一実施例を示す変形例であり、

第14図は、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の他の一実施例を示す変形例であり、

第15図は、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の他の一実施例を示す変形例であり、

第16図は、この発明に係る識別番号発生回路に用いられるCMOSインバータ回路の一実施例を示す回路図であり、

第17図は、この発明に係る識別番号発生回路の他の一実施例を示す回路図であり、

第18図は、前記第17図に示した実施例回路の動作を説明するための波形図であり、

第19図は、この発明に係る識別番号発生回路の他の一実施例を示すブロック図であり、

第20図は、この発明に係る識別番号発生回路の他の一実施例を示す回路図であり、

第21図は、この発明に係る半導体集積回路装置の一実施例を示す概略ブロック図であり、

第22図は、この発明に係る半導体集積回路装置の一実施例を示す素子レイアウト図であり、

第23図は、前記第22図に対応した等価回路図であり、

第24図は、この発明をダイナミック型RAMに適用した場合の一実施例を示すブロック図であり、

第25図は、この発明に係る識別番号発生回路を用いた半導体集積回

路装置の一実施例を示す概略構成図であり、

第 2 6 図は、この発明に係る識別番号の識別アルゴリズムを説明する説明図であり、

05 第 2 7 図は、この発明に係る識別番号の識別アルゴリズムを説明する説明図であり、

第 2 8 図は、この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの登録方法の一実施例を示す構成図であり、

第 2 9 図は、この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの照合方法の一実施例を示す構成図であり、

10 第 3 0 図は、前記第 2 9 図の比較方法の一例を示す説明図であり、

第 3 1 図は、CMOS インバータ回路の論理しきい値の順位を用いた場合の比較方法の一例を示す説明図であり、

第 3 2 図は、CMOS インバータ回路の論理しきい値の順位を用いた場合の比較方法の一例を示す説明図であり、

15 第 3 3 図は、この発明が適用される半導体集積回路装置の一実施例を示す構成図であり、

第 3 4 図は、この発明が適用されるマルチチップモジュールの一実施例を示すブロック図であり、

20 第 3 5 図は、前記図 3 4 のプログラム専用チップの一実施例を示すブロック図であり、

第 3 6 図は、本願に係る識別番号発生回路を搭載した半導体集積回路装置の一実施例の製造工程を説明するための構成図であり、

第 3 7 図は、本願に係る識別番号発生回路を搭載した半導体集積回路装置を回路実装ボードに組み立てる場合の一実施例の製造工程を説明する
25 ための構成図であり、

第 3 8 図は、本願に係る識別番号発生回路を搭載した半導体集積回路

装置の他の一実施例の製造工程を説明するための構成図であり、

第 39 図は、この発明に係る識別番号発生回路が設けられる特定用途向け L S I の一例を示すブロック図であり、

05 第 40 図は、この発明に係る C M O S インバータの論理しきい値のバラツキを乱数発生器に応用した実施例を示す回路図であり、

第 41 図は、企業間の電子部品調達市場における不正行為や様々なトラブルを軽減することを目的とした、本願発明に係るチップ識別番号発生回路の利用例を説明するための構成図であり、

10 第 42 図は、この発明に係る半導体集積回路装置の他の一実施例を示す模式的平面図であり、

第 43 図は、この発明に係る識別番号発生回路の他の一実施例を示す基本的回路図であり、

第 44 図は、この発明に係る識別番号発生回路の他の一実施例を示す回路図であり、

15 第 45 図は、この発明に係る識別番号発生回路の一実施例を示す具体的回路図であり、

第 46 図は、この発明に係る識別番号発生回路の更に他の一実施例を示す具体的回路図であり、

20 第 47 図は、前記第 46 図の実施例回路の動作を説明するためのタイミング図であり、

第 48 図は、前記図 46 の実施例に用いられる単位回路の他の一実施例を示す回路図であり、

第 49 図は、この発明に係る識別番号発生回路の更に他の一実施例を示す回路図であり、

25 第 50 図は、この発明に係る識別番号発生回路の更に他の一実施例を示す回路図であり、

第 5 1 図は、この発明が適用される半導体集積回路装置又は半導体チップの一実施例を示す回路レイアウト図であり、

第 5 2 図は、上記 I / O セルの標準的な一実施例を示すブロック図であり、

05 第 5 3 図は、この発明に係る半導体集積回路装置又は半導体チップに設けられる I / O セルの一実施例を示す回路レイアウト図であり、

第 5 4 図は、この発明に係る半導体集積回路装置又は半導体チップに設けられる出力バッファ回路の一実施例を示す回路図であり、

10 第 5 5 図は、この発明に係る半導体集積回路装置又は半導体チップに設けられる出力バッファ回路の他の一実施例を示す回路図であり、

第 5 6 図は、この発明に係る半導体集積回路装置の一実施例を示す概略構成図であり、

第 5 7 図は、この発明に係る半導体集積回路装置の基本的な J T A G セルの一実施例を示すブロック図であり、

15 第 5 8 図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の一実施例を説明するための構成図であり、

20 第 5 9 図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図であり、

第 6 0 図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図であり、

25 第 6 1 図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図であり、

第 6 2 図は、この発明に係る識別番号発生回路の更に他の一実施例を示す回路図であり、

第 6 3 図は、この発明に係る識別番号の説明図であり、

第 6 4 図は、この発明に係る識別番号の説明図であり、

05 第 6 5 図は、この発明に係る識別番号発生回路で生成された識別番号の高速識別番号照合（検索）アルゴリズムの一実施例を説明するためのフローチャート図であり、

第 6 6 図は、第 6 5 図の実施例に対応した構成図であり、

10 第 6 7 図は、この発明に係る識別番号発生回路を組み込んだ半導体チップの回路設計方法の一実施例を示すフローチャート図であり、

第 6 8 図は、この発明に係る識別番号発生回路を内蔵した L S I 設計方法の一実施例を示すフローチャート図であり、

15 第 6 9 図は、この発明に係る識別番号発生回路内蔵の半導体チップを用いた半導体集積回路装置の製造方法の一実施例のフローチャート図が示されている。

第 7 0 図は、この発明に係る識別番号発生回路を搭載した半導体チップを用いた半導体集積回路装置の組み立て工程の一実施例を示すフローチャート図であり、

20 第 7 1 図は、この発明に係る識別番号発生回路のビット数を減少させる方法の一実施例を示す構成図であり、

第 7 2 図は、この発明に係る識別番号発生回路のビット数を減少させる方法の一実施例を示す構成図であり、

第 7 3 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用した検査方法を説明するための構成図であり、

25 第 7 4 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用した検査方法を説明するための構成図であり、

第 7 5 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用し各検査工程で半導体チップ毎の特性データの相関を管理する方法を説明するための構成図であり、

05 第 7 6 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用し前工程でウェハを自動で管理する方法を説明するための構成図であり、

第 7 7 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路の識別番号の格納・検索方法を説明するための構成図であり、

10 第 7 8 図は、この発明に係る半導体集積回路装置に搭載された識別番号発生回路の識別番号の格納・検索方法の他の例を説明するための構成図であり、

第 7 9 図は、この発明に係る識別番号発生回路を利用した半導体集積回路装置の救済方法の一実施例を示す構成図であり、

15 第 8 0 図は、この発明に係る識別番号発生回路を搭載した半導体集積回路装置の一実施例を示すレイアウト図であり、

第 8 1 図は、第 8 0 図のレイアウト図の部分拡大レイアウト図であり、

20 第 8 2 図は、この発明に係る識別番号発生回路を搭載した半導体集積回路装置の他の一実施例を示すレイアウト図であり、

第 8 3 図は、第 8 1 図のレイアウトに対応する回路図であり、

第 8 4 図は、この発明に係る識別番号発生回路を搭載した半導体集積回路装置の更に他の一実施例を示す構成図であり、

25 第 8 5 図は、第 8 4 図の実施例を構成する半導体集積回路装置の部分平面パターン図であり、

第 8 6 図は、第 8 4 図の実施例を構成する半導体集積回路装置の他の

部分平面パターン図であり、

第 8 7 図は、この発明に係る識別番号発生回路を搭載した半導体集積回路装置の一実施例を示す回路図である。

05 発明を実施するための最良の形態

この発明をより詳細に説述するために、添付の図面に従ってこれを説明する。

第 1 図には、この発明に係る識別番号発生回路の一実施例の基本的回路図が示されている。CMOS インバータ回路 INV 1 ～ INV 4 は、半導体集積回路装置の設計及び製造の上では、現実的に制御可能な範囲内において、互いに同じ特性を持つように構成される。複数のインバータを互いに同じ特性にするための本発明に好適な具体的構成は、後の第 2 2 図とそれに対する説明との参照によって、より良く理解されるであろう。そこで、互いに同じ特性を得る技術については、以下では、概略的に説明する。

CMOS インバータ回路において、その特性は、概略的には、それを構成する P チャンネル型 MOS FET と N チャンネル型 MOS FET との相対的なコンダクタンスによって決まると理解されているであろう。その観点ではチャンネル幅 W とチャンネル長 L との比 W/L は同じであるがサイズが異なる MOS FET によっても同じ特性の CMOS インバータを構成できると理解され得る。しかしながら、半導体集積回路装置の製造バラツキによる電気特性への影響は、異なったサイズの素子に対しては異なったものとなる。

実施例では、かかる複数の CMOS インバータ INV 1 ～ INV 4 のそれぞれは、好適には、それぞれを構成する素子の相互、すなわち P チャンネル型 MOS FET の相互、及び N チャンネル型 MOS FET の相

互が互いに同じ構造、同じサイズを持って構成される。言うまでもなくそれら素子は、同じ素子は同じプロセスの元で一括製造されるという半導体集積回路装置の特徴に従って製造される。これによって複数のCMOSインバータINV1～INV4は、半導体集積回路装置の製造上の加工寸法のバラツキ、各種層の厚さバラツキ、不純物濃度バラツキ等々の製造バラツキによる影響を均等に受けるようにされる。

第1図のように入出力が短絡させられたCMOSインバータ回路の出力電圧は、論理しきい値電圧に到達する。全てのCMOSインバータ回路が、完全に同じ電気的特性を持っていれば、4つのインバータ回路INV1～INV4の短絡ノードの電位は等しくなる。しかし、これは理想的な状態であり実際の半導体素子においては、僅かな特性の違いが存在するため、各インバータ回路INV1～INV4の入出力短絡ノード電位すなわち論理しきい値電圧に差が生じる。

CMOSインバータ回路の論理しきい値のバラツキの要因としては、MOSトランジスタ特性のバラツキが支配的であると捉えてよい。そして、MOSトランジスタ特性のバラツキの原因としては、MOSトランジスタのゲート幅や、ゲート絶縁膜膜厚、導電決定不純物濃度とその分布などを挙げることができる。これらのバラツキはマクロ的な部分とミクロ的とに分けることができる。マクロ的な部分としては、同一ロット内の複数のウェハ間のゲート幅バラツキなどである。

本願発明においては、主としてミクロ的な部分のバラツキを利用するものであり、比較的に近接した位置に配置された素子間におけるバラツキを用いる。このようなミクロ的なバラツキは、比較的に近接した素子間にランダムに発生するものとして観測されるからである。

すなわち、第1図のインバータ回路INV1～INV4の論理しきい値のバラツキもランダムであると考えられる。この論理しきい値のバラ

ツキが、本願の解決しようとする課題である「半導体素子の持つ特徴的な特性のバラツキを固有の識別情報として抽出する」という解決手段の基となっている。CMOSインバータ回路を用いた場合には、論理しきい値に生じるバラツキがNチャンネル型MOSトランジスタの持つバラツキにPチャンネル型MOSトランジスタの持つバラツキが加えられたものと見做すことができ、バラツキ範囲が広くなり識別番号ないし識別情報の発生を効果的に行うようにすることができる。

第1図に示した実施例では、4つのインバータ回路INV1～INV4の論理しきい値の大きさの順位を判定する。つまり、各CMOSインバータ回路INV1～INV4の短絡された入出力ノードの電圧（論理しきい値に相当する）をスイッチにより選択して順次にアナログ／デジタルコンバータADCに入力して、量子化された測定値（デジタル信号）をレジスタに格納し、図示しないデジタルコンパレータ等により大きさを比較するものである。

つまり、上記レジスタに格納された4つのCMOSインバータ回路INV1～INV4のデジタル化された論理しきい値は、その大小がコンパレータ等により比較されて大きい順又は逆に小さい順に並べられる。識別番号発生回路が形成された半導体集積回路装置にCPU等のプロセッサが搭載されていれば、それを用いてソフトウェアより大小比較を行うようにすることもできる。

例えば、CMOSインバータ回路INV1～INV4に割り当てられた数字1ないし4に対応してデジタル値が格納され、その大小比較によって、例えば1－3－2－4のように順位が決定され、かかる順位1－3－2－4に基づいて識別情報が生成される。

第2図には、この発明に係る識別番号発生回路の他の一実施例の基本的回路図が示されている。この実施例では、アナログコンパレータCO

MPが用いられる。この実施例では、前記スイッチにより1個ずつのCMOSインバータ回路INV1～INV4の論理しきい値に対応した電圧を順次に供給し、それをコンパレータCOMPの参照電位で比較する。この参照電圧を階段状に変化させ、コンパレータの比較結果がロウレベルからハイレベルに変化したときの検出レベルをレジスタに格納して前記CMOSインバータ回路INV1～INV4の論理しきい値の大きさを比較する方式である。つまり、参照電圧が最も低い電圧でコンパレータの出力信号がロウレベルからハイレベルに変化したものが、最も論理しきい値が小さいと見做される。

10 前記第1図や第2図に示された識別番号発生回路では、高分解能のアナログ／デジタルコンバータADCや、コンパレータCOMP、階段状電圧発生器等の回路、すなわちデジタル回路、論理回路には無い回路が必要になるものである。

15 第3図には、この発明に係る識別番号発生回路の他の一実施例の基本的回路図が示されている。この実施例では、実質的にデジタル回路ないしは論理回路を構成する一種のセルを利用するような形態での実施も容易化できるよう考慮されている。この実施例では、4つのCMOSインバータ回路INV1～INV4の論理しきい値を2個ずつ組み合わせてコンパレータCOMPにより比較する。これらのCMOSインバータ回路INV1～INV4の論理しきい値の比較は、総当り戦（リーグ戦）形式とされる。

25 第4図は、上記第3図の識別番号発生回路の動作の説明図であり、前記総当り比較結果の一例が示されている。第4図（A）及び（B）では、スイッチY1～Y4とスイッチX1～X4をそれぞれ1個ずつオン状態にしたいわば対戦表であり、コンパレータCOMPの非反転入力端子（+）に接続されたスイッチ（Y）で選択されるCMOSインバータ回

路の短絡ノード電位（すなわち論理しきい値電圧）から、コンパレータ
COMPの反転入力端子（－）に接続されたスイッチ（X）で選択され
るCMOSインバータ回路の短絡ノード電位を引いた結果がプラス（ハ
イレベル）であれば、図中に”＋”記号を、マイナス（ロウレベル）で
05 あれば”－”記号を記入した。”*”は自己対戦（no match）であるか
ら、無効である。

第4図（A）を見ると、Y1は”＋”が3個、すなわち全勝である。
次いで、Y2が2個、Y3が1個、Y4は0個（全敗）である。すなわ
ち、CMOSインバータ回路の論理しきい値（VLT）の大きさの順番
10 は”＋”数で判定できるからVLT1（INV1の論理しきい値）－V
LT2－VLT3－VLT4の順位とされる。

第4図（B）に別の例を示す。ここでは、各CMOSインバータ回路
の論理しきい値には明確な差が存在していることを前提としている。つ
まり、実際のゲームなどでは引き分けや勝数が同じであったりすること
15 がある。引き分けを（＝）で示している。このような引き分け（＝）が
あると、Y1とY2が同順位となり、Y3とY4も同順位になってしまい
、前記のような順位が付かなくなる。また、この実施例では、16回の
比較（ゲーム）を行っているが、nチームによる総当たり戦の最少ゲーム
数は、 $n(n-1)/2$ 回で十分であるから実際は6回でもよい。

20 上記第3図の実施例では、1個のコンパレータと2個の選択回路で構
成されており、前記第1図や第2図の実施例に比べて比較的簡便な構成
となるが、コンパレータCOMPというアナログ回路を使用するため、
ゲートアレイや、ロジックASICのような半導体集積回路装置に形成
するときには困難な場合がある。

25 第5図には、この発明に係る識別番号発生回路の他の一実施例の基本
的回路図が示されている。この実施例では、前記第1図ないし第3図の

実施例のようにアナログ回路を一切用いず、CMOSロジック回路とMOSFETスイッチだけで構成する基本回路を表わしたものである。

同図のCMOSインバータ回路INV1～INV4は、全て同じサイズである。個々のCMOSインバータ回路INV1～INV4には、それぞれ4つのスイッチが設けられている。スイッチA（A1～A4）とB（B1～B4）は連動して同時に開閉する。また、スイッチC（C1～C4）とD（D1～D4）も連動して開閉する。

第6図には、第5図の実施例回路を説明するためのスイッチの開閉状態に対応する等価回路が示されている。第5図において、スイッチA1とB1、C2、D2が閉じて（オン状態）いる。スイッチB1により、CMOSインバータ回路INV1の入出力が短絡され、スイッチA1により短絡ノード電圧が共通ノードPに供給される。さらにスイッチC2により共通ノードPの電位がCMOSインバータ回路INV2の入力に印加され、スイッチD2によりCMOSインバータ回路INV2の出力が共通ノードPPに供給される。なお、増幅回路AMP1とAMP2は、INV1～INV4と合同な形状のCMOSインバータ回路で構成される。

第6図の等価回路において、CMOSインバータ回路INV1の入力と出力がオンスイッチB1により短絡させられており、共通ノードPの電位は、オンスイッチA1によりCMOSインバータ回路INV1の論理しきい値となる。CMOSインバータ回路INV2の入力は、オンスイッチC2により共通ノードPが接続されている。CMOSインバータ回路INV1とINV2が、完全に同じ電気的特性を持っているなら、CMOSインバータ回路INV2の出力が接続される共通ノードPPの電位は、上記共通ノードPのそれと等じになる。同様に増幅回路AMP1とAMP2の出力ノード電位も等しくなる。すなわち、4つのインバ

ータの入出力は全てCMOSインバータ回路INV1の論理しきい値電圧に等しくなる。しかし、これは理想的な状態であり実際の半導体素子においては、僅かな特性の違いが存在するため、各ノードの電位に差が生じてくる。

- 05 例えば、CMOSインバータ回路INV1の論理しきい値VLT1とCMOSインバータ回路INV2の論理しきい値VLT2の関係が、

VLT1 < VLT2の時、共通ノードPPの電位 > 共通ノードPの電位となる。逆に、VLT1 > VLT2の時、共通ノードPPの電位 < 共通ノードPの電位となる。

- 10 CMOSインバータ回路は、高利得の反転増幅器でもあり、その利得は動作点で変化し、入力電位がCMOSインバータ回路の論理しきい値付近である状態が最大の利得が得られる。一般に、CMOSインバータ回路の論理しきい値付近の反転利得は、数十倍から百倍である。

- よって、第6図のCMOSインバータ回路INV1とINV2の論理しきい値の差は、後段のCMOSインバータ回路INV2によって増幅される。つまり、前段のCMOSインバータ回路で発生された論理しきい値電圧は、後段のCMOSインバータ回路による自身の論理しきい値電圧を参照電圧として大小比較と増幅動作が行われる。
- 15

- さらに、増幅回路AMP2、AMP3によっても増幅され、CMOSインバータ回路INV1とINV2の論理しきい値の差は、CMOSインバータ回路INV2と増幅回路AMP1、AMP2により数万倍に増幅される。最終的にノードQでは、CMOS電源電圧振幅信号を得ることができる。すなわち、2つのCMOSインバータ回路INV1とINV2の論理しきい値の大小比較結果（正負符号）をCMOS振幅信号で
- 20
- 25 検出することができる。

第6図のようにスイッチの開閉の組み合わせを変更することで、容易

に全てのCMOSインバータ回路INV1～INV4の比較を行い、第4図(A)に示したような結果を得ることができる。このように、この実施例回路は、CMOSインバータ回路の論理しきい値の比較に適している。

- 05 つまり、CMOSインバータ回路とスイッチとの組み合わせにより、
1つのCMOSインバータ回路を論理しきい値電圧の発生源として用いたり、他のCMOSインバータ回路で発生させた論理しきい値電圧を判定する判定回路として用いるものであるので、格別なコンパレータが不要となり、回路構成の大幅な簡素化が可能になる。その上に、CMOS
10 インバータ回路を含めて、全てスイッチ動作するMOSFETで構成されているために、ゲートアレイやロジックASICのような半導体集積回路装置に搭載するときに格別な困難が生じることはない。

- 第7図には、前記第5図の実施例に対応した具体的一実施例の回路図が示されている。CMOSインバータ回路INV1～INV4及び増幅
15 回路AMP1、AMP2は合同な形状のCMOSインバータ回路である。この実施例では、前記スイッチとしてNチャンネル型MOSFETが用いられる。そして、これらのスイッチの制御信号Y1～Y4及びX1～X4を形成するためのバイナリカウンタ(Binary Counter)とデコーダ(Decoder)が設けられる。

- 20 CMOSインバータ回路INV1を例に説明すると以下の通りである。CMOSインバータ回路INV1の入力と出力とを短絡するスイッチMOSFETと、共通ノードPと入力とを接続するスイッチMOSFETとのゲートには制御信号X1が供給される。CMOSインバータ回路INV1の入力と上記共通ノードPとを接続するスイッチMOSFET
25 と、出力と共通ノードPPとを接続するスイッチMOSFETとのゲートには制御信号Y1が供給される。以下、同様に各CMOSインバータ

回路 INV 2 ～ INV 4 においても、上記対応するスイッチ MOS FET のゲートには制御信号 X 2 ～ X 4 と制御信号 Y 2 ～ Y 4 が供給される。

05 バイナリカウンタは、リセット信号 RES によりリセットされ、クロック信号 CLK の供給によりそのパルス数を計数する合計 4 ビットのバイナリカウンタであり、下位 2 ビットの計数出力に対応してデコーダにより Y 1 ～ Y 4 の制御信号が形成され、上位 2 ビットの計数出力に対応してデコーダにより X 1 ～ X 4 の制御信号が形成される。

10 第 8 図には、前記第 7 図の実施例回路の動作を説明するためのタイミングチャート図が示されている。リセット信号 RES は、バイナリカウンタを初期化するためのものである。ここでは、リセット中 (RES = " H") 及びリセット直後ではバイナリカウンタの出力は全て " 1" となっている。そのため、デコーダの出力は、X 4 と Y 4 が活性状態となっている。リセット解除後の最初のクロック CLK の立ち上がりで、
15 バイナリカウンタは進行 (+ 1) し、全て " 0" となる。そのため、デコーダの出力は、制御信号 X 1 と Y 1 が活性状態となる。

これ以降、バイナリカウンタの出力は、クロック信号 CLK の立ち上がりタイミングで進行 (+ 1) を繰り返し、第 8 図に示すようにデコーダが進行する。もちろん、クロック信号 CLK の 17 回目の立ち上がり
20 で再びバイナリカウンタの出力が、全て " 0" に戻ることは言うまでもない。しかし、ここでの実施例では、16 回の動作で必要な情報が取り出せるので、17 回目以降のクロック動作は必要ない。

リセット解除後、クロック信号 CLK の立ち上がり毎にバイナリカウンタのカウンタ動作が進行し、その毎に出力ノード OUT に出てくる情報 b 1 ～ b 16 は、第 9 図に示す通りである。先に述べたように、CMOS インバータ回路の論理しきい値の差は、増幅回路 AMP 1、AMP
25

2により増幅され、 $VLTQ_y - VLTQ_x > 0$ のときには、出力端子OUTは”H”（ハイレベル）が出力され、 $VLTQ_y - VLTQ_x < 0$ のときには、出力端子OUTは”L”（ロウレベル）が出力される。

05 このように4個のCMOSインバータ回路INV1～INV4の総当たり戦での勝敗結果をそのまま識別信号b1～b16として利用することができる。上記4個のCMOSインバータ回路INV1～INV4の総当たり戦での勝敗b1～b16のうち、自己対戦のものを後述するようにハイレベル又はロウレベルの特定レベルに予め設定されればよい。

10 4個のCMOSインバータ回路に割り当てられた番号1～4を2ビットの情報に置き換え、それを大きい順に並べた場合には、例えば1－2－3－4のように並べられるから $2 \times 4 = 8$ ビットのように1／2に圧縮された識別情報を得ることができる。

第10図には、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の一実施例の変形例が示されている。第10図の回路では、前記第5図の4つのスイッチMOSFET（A～D）のそれぞれがCMOSペア型にしたものである。つまり、Nチャンネル型MOSFETとPチャンネル型MOSFETとを並列形態に接続し、そのゲートには相補信号XとX／を供給するものである。

20 このようにCMOSスイッチを用いた場合には、スイッチMOSFETを通して伝えらる電圧信号がしきい値電圧によって制限されることがないから、電源電圧又は回路の接地電位と上記論理しきい値電圧との電圧差、あるいは電源電圧又は回路の接地電位と共通ノードPPに出力すべき電圧との差電圧が上記スイッチMOSFETのしきい値電圧よりも

25 小さくなるような低電圧で動作する回路には有効である。

第11図には、この発明に係る識別番号発生回路の核になるCMOS

インバータ回路とスイッチMOSFETからなる単位回路の他の一実施例の変形例が示されている。第11図の回路では、CMOSインバータ回路の入出力短絡電位を共通ノードPに供給するNチャンネル型のスイッチMOSFETの位置を変更したものである。つまり、入出力が短絡させられるCMOSインバータ回路の出力側と共通ノードPとを接続させるものである。

第12図には、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の他の一実施例の変形例が示されている。第12図の回路では、CMOSインバータ回路の入力と電源電圧端子との間に直列形態に接続された2つのPチャンネル型MOSFETが設けられる。これらのPチャンネル型MOSFETのゲートには、選択信号XとYが供給される。この実施例では、CMOSインバータ回路が選択されていない状態、すなわち選択信号XおよびYともに活性化していない時に、Pチャンネル型MOSFETがオン状態となりCMOSインバータ回路の入力を電源電圧のようなハイレベルに固定してCMOSインバータ回路での貫通電流を防止するものである。つまり、CMOSインバータ回路の入力をフローティング状態にさせると、中間電位となってCMOSインバータ回路のNチャンネル型MOSFETとPチャンネル型MOSFETとの間に大きな貫通電流が流れる場合があるので、それを防ぐためのものである。

第13図には、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の他の一実施例の変形例が示されている。第13図の回路では、スイッチMOSFETを前記実施例のようなNチャンネル型MOSFETをPチャンネル型MOSFETに変更し、さらに非活性時にCMOSインバータ回路の入力をNチャンネル型MOSFETによりロウレベルに固定するものであ

る。この場合のNチャンネル型MOSFETのゲートに印加される選択信号は、反転信号X／及びY／とされる。

第14図には、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の他の一実施例の変形例が示されている。第14図の回路では、前述の自己対戦（no match）時に共通ノードPPが不定、すなわち出力が”H”になるか”L”になるか不安定であることを避けるためにCMOSインバータ回路の入力と回路の接地電位との間に直列形態に接続された2つのNチャンネル型MOSFETを設け、CMOSインバータ回路の入力をロウレベルに固定したものである。

これらのNチャンネル型MOSFETのゲートには、選択信号XとYが供給される。これにより、自己対戦のときには選択信号XとYがハイレベルとなり、入力には回路の接地電位が供給される。CMOSインバータ回路の入力と出力との間に設けられる短絡スイッチは、選択信号Xを受けるNチャンネル型MOSFETと選択信号Yを受けるPチャンネル型MOSFETの直列回路から構成される。これにより、自己対戦のとき入力と出力とが短絡されることはなく、上記入力に供給される固定ロウレベルに対応したハイレベルを出力させることができる。また、前記非選択のときには第12図の実施例と同様に入力は電源電圧のようなハイレベルに固定される。

第15図には、この発明に係る識別番号発生回路の核になるCMOSインバータ回路とスイッチMOSFETからなる単位回路の更に他の一実施例の変形例が示されている。第15図の回路では、前述の自己対戦（no match）時に共通ノードPPが不定、すなわち出力が”H”になるか”L”になるか不安定であることを避けるためにCMOSインバータ回路の入力をハイレベルに固定したものである。前記同様に自己対戦で

の入力と出力との短絡を避けるために、前記第 1 4 図の実施例と同様に短絡スイッチは N チャンネル型 MOS F E T と P チャンネル型 MOS F E T の直列回路から構成される。

05 上記共通ノード P P のレベル不定を避ける目的と効果については後に詳しく述べる。上記第 1 0 図ないし第 1 5 図で示した各変形例は、組み合わせで実施しても構わない。例えば、第 1 4 図の N チャンネル型のスイッチ MOS F E T を CMOS ペア型に置き換えてもよい。

前記第 1 4 図と第 1 5 図の実施例では、第 9 図の自己対戦 (*) 部分に固定情報を埋め込むのに利用できる。もともと自己対戦部分は不定、
10 厳密に言えば、各 CMOS インバータ回路と増幅回路 AMP の論理しき値の比較結果であったので、その部分の情報を無視しても、他に転用しても識別の能力の低下は起こらない。付加した直列接続の N チャンネル型 MOS F E T を第 1 4 図と第 1 5 図のように接地電位又は電源電圧に固定することで、CMOS インバータ回路 I N V 1 ~ I N V 4 の入力を
15 ロウレベル又はハイレベル側に偏らせ、自己対戦部分の出力を任意に設定できる。

近年、ビルドアップ基板と称されるような基板上にベアチップを搭載する形態の半導体集積回路装置技術も発達しつつあり、それにおいてはその外観から製品や出荷時期を特定することが出来なくなりつつあるの
20 で、このような製品や出荷時期を特定する固定番号を挿入する必要性が高まるものとなる。つまり、後述するようなシステム・オン・チップ (System on a Chip ; S O C) では、ベースチップの上に何が載っているのか、どういう素性の個別チップが組み合わされているのか、逆にどういうチップを組み合わせるのがよいのかなどやはり単品の管理がますます
25 重要になるものであり、上記固定番号の付与は有益なものとなる。

第 1 6 図には、この発明に係る識別番号発生回路に用いられる CMOS

Sインバータ回路の一実施例の回路図が示されている。CMOSインバータ回路は、一般的には電源電圧と回路の接地電位との間にPチャンネル型MOSFETとNチャンネル型MOSFETとを直列に設け、ゲートを共通接続して入力とし、共通接続されたドレインを出力として構成
05 できる。前記実施例のCMOSインバータ回路INV1～INV4や増幅回路AMP1、AMP2は、上記のような2つのMOSFETにより構成することができる。

これに対して、この実施例では2つのPチャンネル型MOSFETと2つのNチャンネル型MOSFETとを用いてCMOSインバータ回路
10 が構成される。2つのNチャンネル型MOSFETは、出力端子と回路の接地電位点との間に並列接続され、2つのPチャンネル型MOSFETは電源電圧と出力端子との間に直列接続される。

この構成は、Nチャンネル型MOSFET側のコンダクタンスが大きく、Pチャンネル型MOSFET側のコンダクタンスが小さくなる。つまり、Pチャンネル型MOSFETの小さなコンダクタンス（大きなオン抵抗値）によって、Nチャンネル型MOSFETに流れる電流を設定
15 する。みかけ上、Nチャンネル型MOSFETに定電流を流すようにすることができるので、CMOSインバータ回路の論理しきい値電圧は、2つのNチャンネル型MOSFETのしきい値電圧が支配的に作用する
20 ものとなる。これにより、CMOSインバータ回路の論理しきい値が電源電圧の変動の影響を受けにくくすることができる。

このようにPチャンネル型MOSFETを単なる高抵抗素子として動作させ、Nチャンネル型MOSFETのしきい値電圧が論理しきい値に支配的に作用する構成は、後述する素子特性の劣化（NBTI）の影響
25 を受けにくくできるという利点も生じる。

後述するように、識別番号発生回路をゲートアレイにより構成する場

合、Nチャンネル型MOSFETやPチャンネル型MOSFETの素子サイズは決められているので、上記のような複数のMOSFETの組み合わせにより、等価的にNチャンネル型MOSFETとPチャンネル型MOSFETの素子サイズの比を異ならせ、それに対応して論理しきい
05 値の設定を行うようにすることができる。

第17図には、この発明に係る識別番号発生回路の他の一実施例の回路図が示されている。この実施例では、これまで述べてきたランダムな識別番号を発生する機能に、その識別番号の一部を任意の番号に固定化する回路が示されている。前記第7図に示した実施例では、24種類の
10 識別番号を発生することができた。情報ビット数は、自己対戦結果を含めて16ビットである。この実施例回路を簡単に説明すれば、前記第6図に示した1段目CMOSインバータ回路の出力ノード（共通ノード）Pを強制的に任意の値に固定するものである。この場合、1段目と2段目の順番を入れ替えることはできない。

この実施例回路では、前記第7図の実施例回路からCMOCインバータ回路INV1に対応した出力ノードをMOSFETQ11により”H”（=VDD）に固定し、CMOSインバータ回路INV2に対応した出力ノードをMOSFETQ21により”L”（=VSS）に固定する
15 ようにするものである。このように固定されたレベル”H”と”L”を形成するMOSFETQ11とQ21は、共通ノードPの入力とならないので、デコード信号Y1とY2は不用である。それ故、バイナリカウンタ回路も3ビット構成とされて、デコード回路の出力信号もY3、Y4のように形成される。

第18図には、上記第17図に示した実施例回路の動作を説明するための波形図が示されている。1段目の選択が4通り、2段目の選択が2
25 通りあり、計8通りの出力が得られる。すなわち、情報ビット数は8ビ

ットである。この実施例では、出力信号b 1～b 4は、“ 0”、“ 0”
、“ 1”、“ 1” が常に出力される。残りのb 5～b 8は、CMOSイ
ンバータ回路Q 3とQ 4の論理しきい値のバラツキによる結果である。
この実施例では、2種類の固定番号と、最大2種類のランダム識別番号
05 しか発生しない。

実使用では、固定部とランダム部は任意の大きさを組み合わせることが可能である。固定部は、製品コードを示し、ランダム部はサンプル番号を示すような応用が可能である。また、固定識別番号を情報ビット列に挿入する方法としてはさらにいくつかの方法が考えられる。例えば、
10 第14図、第15図で説明した、自己対戦の部分を置きかえる方法や、重複した対戦（1段目と2段目を入れ替えた比較）の片方を置きかえる方法がある。実際にこれらの回路を実現する場合、識別番号を発生する回路だけでなく、登録や照合システム全体の中でどの部分が機能を負担するかが問題になってくる。しかし、システム全体の中で登録や照合機能は、主にコンピュータのソフトウェアで実現されることになる可能性
15 が高いため、高度な機能も比較的容易に実現できる。

第19図には、この発明に係る識別番号発生回路の他の一実施例のブロック図が示されている。同図の実質的にブロックのみで表示された論理しきい値判定部は、同図に図示されかつ次に説明する電源回路から出力される比較的low電圧かつ安定化された電圧V 2によって動作される。
20

つまり、ゲートに定常的に回路の接地電位が与えられたPチャンネル型MOSFETが負荷手段として動作し、定電圧素子としての作用する直列接続されたダイオード形態の4個のNチャンネル型MOSFETに動作電流を流すようにするものである。これにより、上記直列形態のN
25 チャンネル型MOSFETのゲート、ソース間の定電圧（しきい値電圧）に対応した定電圧V 1が形成され、それがNチャンネル型MOSFET

Tのゲート、ソースを介して上記論理しきい値判定部の動作電圧 V_2 として供給される。このような論理しきい値電圧判定部に供給される電圧が定電圧化される。この結果、前記CMOSインバータ回路INV1～INV4等の論理しきい値は、電源電圧VDDの変動の影響を軽減される。これにより、より安定した論理しきい値の判定動作が期待できるものとなる。

なお、本願発明において、このような論理しきい値判定部の動作電圧の定電圧化は必須のものではない。つまり、本願発明では、複数のCMOSインバータ回路の論理しきい値電圧の絶対値を用いるものではなく、個々のCMOSインバータ回路の相互の論理しきい値電圧の差分に対応して識別番号を設定するものである。上記電源電圧の変動は、それぞれのCMOSインバータ回路の論理しきい値電圧に同様に影響を与えるものであるのでその大小関係が大幅に入れ代わるということにはならないからである。

第19図(B)には、MOSFETの経時変化の防御策の具体的回路が示されている。MOSトランジスタは、そのしきい値電圧が電界強度と温度とに依存するような電界ストレスによって不所望に変動することが有る。特にNBTI (Negative Bias Temperature Instability)と称される現象は、Pチャンネル型MOSFETで顕著に現われる現象である。この防御策として、目的外の時間においてPMOSのゲートに印加される電圧を高い電圧にする方法がよく用いられる。この実施例では、論理しきい値判定部の回路の接地電位VSSをNチャンネル型MOSFETにより供給し、電源制御信号PONのハイレベルにより論理しきい値判定動作時には、かかるNチャンネル型MOSFETをオン状態にして回路の接地電位VSSを供給する。そして、論理しきい値判定動作以外の時には、電源制御信号PONのロウレベルにしてNチャンネル型M

05 MOSFETをオフ状態にするとともに、Pチャンネル型MOSFETをオン状態にして回路の接地電位側にも電源電圧VDDを供給する。そして、次に説明するようにPチャンネル型MOSFETのゲートには、電源電圧VDDを供給するようにゲート電圧を固定電圧にするものである。

05 。これにより、Pチャンネル型MOSFETは、ゲート、ドレイン及びソースと基板（チャンネル）の全てが電源電圧VDDに等しい同電位となり、上記MOSFETの経時変化による論理しきい値の変動が極力抑えられる。

第20図には、この発明に係る識別番号発生回路の他の一実施例の回路図が示されている。この実施例回路では、上記MOSFETの経時変化による論理しきい値の変動を極力抑えるように各CMOSインバータ回路INV1～INV4の入力にPチャンネル型MOSFETの直列回路が設けられている。信号RES／がロウレベルにされるリセット時ではCMOSインバータ回路INV1～INV4の入力を電源電圧に固定する。

15 する。

つまり、上記信号RES／のロウレベル（論理0）により、バイナリカウンタ回路の計数出力B0～B3を受けるナンドゲート回路の出力信号が全てハイレベル（論理1）にされる。この結果、デコーダ回路を構成するノアゲート回路の出力信号Y1～Y4及びX1～X4が全てロウレベル（論理0）となり、上記各CMOSインバータ回路INV1～INV4の入力と電源電圧VDDとの間に設けられた直列形態のPチャンネル型MOSFETをオン状態にして電源電圧に固定する。これにより、各CMOSインバータ回路INV1～INV4を構成するPチャンネル型MOSFETのゲートは、電源電圧VDDが供給される。

20 レベル（論理0）となり、上記各CMOSインバータ回路INV1～INV4の入力と電源電圧VDDとの間に設けられた直列形態のPチャンネル型MOSFETをオン状態にして電源電圧に固定する。これにより、各CMOSインバータ回路INV1～INV4を構成するPチャンネル型MOSFETのゲートは、電源電圧VDDが供給される。

25 さらに、この実施例では上記信号RES／のロウレベルによりオン状態にされるPチャンネル型MOSFETにより増幅回路AMP1とAM

P 2 の入力も電源電圧 V D D に固定し、増幅回路を構成する P チャンネル型 M O S F E T のゲートに上記電圧電圧を供給する。

あるいは、選択信号 Y 1 ~ Y 4 を全てオン状態にして、共通入力ノード P を電源電圧の固定するものであってもよい。いずれにしても、この
05 ように C M O S インバータ回路 I N V 1 ~ I N V 4 や増幅回路 A M P 1、A M P 2 を構成する P チャンネル型 M O S F E T のゲート電圧を制御するか、識別番号発生回路の電源を全て遮断するかの方法を取ればよい。ただし、電源を全て遮断する方法では、識別番号発生回路を構成する M O S F E T が形成される素子領域が他の回路と電気的に分離させること
10 を考慮する必要がある。つまり、上記電源遮断を行っても M O S F E T の基板ゲート（チャンネル）に定常的に一定の電圧が印加されることは上記素子特性の劣化の観点から望ましいことではないからである。

一方、このような N B T I に注意を払うと、通常の信頼度保証が問題となる。つまり、上記のようなストレスを回避する手段を施すことで、
15 いわゆるバーイン工程で行っているプロセス欠陥のスクリーニングができなくなる。本回路の規模は、L S I 全体に比べ極めて小さいものとみなしてしまえば問題ないが、スクリーニングが必要なアプリケーションを想定しておくべきである。この場合、バーイン工程などで任意にリセットないし電源の遮断を解除するモードが用意される。

20 当然、ここでのストレスによつて、識別番号が変動することが十分考えらる。しかし、バーイン工程の後で最終識別番号を採取しデータベースに再登録することが可能であり、またバーイン工程で扱われるロットの大きさは、数 1 0 0 ~ 数 1 0 0 0 に限定されるので、大きな識別番号の変動でも影響は小さい。

25 第 2 1 図には、この発明に係る半導体集積回路装置の一実施例の概略ブロック図が示されている。この実施例は、システム L S I に本願識別

番号発生回路を搭載した場合の電源制御に向けられている。このシステムLSIは、VDD1とVDD2の2種類の異なる電源を用いるものを例としている。

識別番号発生回路は、動作時にVDD1からの電源供給を受ける。こ
05 こで動作時とは、本体LSI回路部1からの識別番号読み出し要求があり、識別番号を送り出す間の時間である。それ以外の状態では、電源の供給は遮断されている。電源の供給を制御する信号が電源制御信号であり、電源制御回路に入力されている。電源制御回路は、電源制御信号が
10 ゲートに接続されたNチャンネル型MOSFETとPチャンネル型MOSFETで構成されている。電源制御信号がハイレベルの時、識別番号発生回路の電源はVSSに固定され、さらに識別番号出力信号はロウレベルに固定される。電源制御信号がロウレベルの時、識別番号発生回路にVDD1が供給される。図中の識別番号発生回路部に含まれる回路は、例えば第20図に示されたCMOSインバータ回路の論理しきい値判定回路部、バイナリカウンタ部およびデコーダ部である。また、CMOS
15 Sインバータ回路の論理しきい値判定回路部のみとし、バイナリカウンタ部およびデコーダ部は本体LSI回路部1に含めても構わない。

第22図には、この発明に係る半導体集積回路装置に好適な一実施例の素子のレイアウト図が示されている。同図の構成は特に制限されない
20 が、いわゆるマスタースライス方式の半導体集積回路装置に好適なレイアウト例として理解して良い。同図では、理解の容易化を図るため、MOSトランジスタを構成するアクティブ領域の平面パターンのみを示し、金属配線層のような配線層パターンは、図示を省略している。かかる平面パターンであっても、MOSトランジスタが得られるべき回路特性
25 に支配的に影響する点、そして金属配線のような配線が得られるべき回路特性への影響が小さいと言う事情から、技術の本質を良く理解できる

であろう。

半導体集積回路装置の基本デバイス構造それ自体は、本発明に直接関係が無いので詳細には説明しないけれども、概略的に説明すると以下のようになる。

- 05 すなわち、N型単結晶シリコンからなるような半導体基板が使用され、不純物選択導入技術によってかかる半導体基板表面にN型ウエル領域及びP型ウエル領域が形成されている。半導体基板表面に設けられた酸化シリコン膜からなるようないわゆるフィールド絶縁膜にアクティブ領域を確定する開孔が設けられ、かかる開孔に露出するN型ウエル領域、
- 10 P型ウエル領域表面にシリコンの熱酸化法などによってゲート絶縁膜が形成されている。ゲート絶縁膜上及びフィールド絶縁膜上に多結晶シリコン層からなるようなゲート電極層が選択されている。ゲート電極層及びフィールド絶縁膜を実質的な不純物導入マスクとするP型不純物の導入によって、N型ウエル領域表面にPチャンネル型MOSトランジスタ
- 15 のソース領域、ドレイン領域を構成するP型半導体領域が形成されている。同様にゲート電極層及びフィールド絶縁膜を実質的な不純物導入マスクとするN型不純物の導入によって、P型ウエル領域表面にNチャンネル型MOSトランジスタのソース領域、ドレイン領域を構成するN型半導体領域が形成されている。かかる基本デバイス構造に対して、公知
- 20 の配線層形成技術、絶縁層形成技術によって所望の配線層が形成されている。

- 第22図において、比較的小さいほぼ方形のパターンが一つのアクティブ領域を構成している。かかる比較的小さいほぼ方形のパターンと、それに重なるように描かれたそれぞれゲート電極層を意味する所の互いに平行する細長い2つのパターンとによって1つの単位領域が構成され
- 25 ている。例えば、図面の右上端に配置されたところの記号PP、B、P

が付された比較的小さい方形のパターンとそれに重なるように描かれかつそれぞれ記号 Y 0 /、X 0 / が付された細長い 2 つのパターンによって単位領域が構成されている。

05 従って 1 つのアクティブ領域には、2 つの平行するゲート電極層と、かかる 2 つのゲート電極層に対して自己整合的にアクティブ領域表面に形成されたソース、ドレイン用半導体領域とによって 2 つの MOS トランジスタが形成されている。

第 22 図において、N チャンネル型 MOS トランジスタのための単位領域の複数個、及び P チャンネル型 MOS トランジスタのための単位領域の複数個が、図示のように行列状に配列されている。図面上の、最も
10 上方に位置する P チャンネル型 MOS トランジスタのための 4 つの単位領域の列（以下、第 1 領域列と称する）において、各单位領域は、互いに同じ平面寸法、同じ延長方向、を持って構成される。その第 1 列の下方に位置する N チャンネル型 MOS トランジスタのための 4 つの単位領域の列（以下、第 2 領域列と称する）における各单位領域の相互も、互いに同じ平面寸法、同じ延長方向、を持って構成される。上記第 1 領域列と第 2 領域列とは、第 20 図のようなインバータ及びそれに結合されるスイッチ MOS トランジスタを構成するためのものとされる。
15

同様に、第 3 領域列と第 4 領域列は、X デコーダ部を構成するためのものとされ、第 5 領域列と、第 6 領域列は、Y デコーダ部を構成するためのものとされる。
20

第 22 図のそれぞれ 4 つずつの単位領域を持って構成された第 1 領域列から第 6 領域列までの全体は、また基本繰返し単位とされる。すなわち、得るべき回路規模に応じて、第 22 図の基本繰返し単位の複数個が、同図の横方向に隣接配置されていく。この構成によると、異なる基本繰返し単位における第 1 領域列は、レイアウト上も全体として 1 つの列
25

(全体領域列とも称する)を構成する、同様に第2列以降の各列もそれぞれ全体領域列を構成する。

第22図のレイアウト及び上述のような繰返しレイアウトは、本発明の識別情報形成のための好適な例をなす。

- 05 第22図のレイアウトではなく、同じ領域列を成すべき複数の単位領域が、他の回路を構成する素子領域など挟んで配置されてしまうようなことによって、互いに比較的大きな距離を持って配置されるような場合、次のような難点が生ずる。すなわち複数の単位領域が、半導体集積回路装置の製造条件の変動に基づくようなパターンの寸法のマクロ的な変動もしくはパターン歪みのマクロ的な変動による影響を強く受けるようになり、相対的に大きなパターン形状の相違を生ずることになる。

- 半導体チップを実装することなどによって半導体チップに与えられてしまう機械的応力は、半導体チップの部分部分によって異なる可能性が大きいので、複数の単位領域の相互では互いに比較的大きく異なったものとなる可能性を持つ。回路に電源電流が流れることによってもたらされる動作温度の上昇は、複数の単位領域相互に対して一様でなくなる。ゲート絶縁膜の厚さや、導入不純物の微妙な濃度変化も、また複数の単位領域相互が比較的離れていることによって比較的大きくなってしまいう危険性を持つ。

- 20 第22図のレイアウトによる場合、同じ領域列に有る複数の単位領域は、それらが比較的近接して配置され、互いに同じサイズ、同じ方向を持って構成されていることから、上述のような相対的なパターン寸法、パターン歪み、機械的応力、動作温度、膜厚、不純物濃度による影響を受け難い。

- 25 いわゆる位相シフトマスク技術は、半導体集積回路装置を構成する回路素子、配線等を、いわゆるサブミクロンレベルに微細化する上での有

効な技術と理解される。かかる位相シフトマスク技術では、マスクとする感光材層を感光せしめる際の光の位相差のわずかな変化にも起因して、得るべきパターンの左右形状の相違のように、パターンに非対称性ないしは歪みをもたらすことが有る。第22図のようなレイアウトは、その種のパターン歪みが有っても、複数の単位領域相互の電気特性の偏りを十分に小さくする事が可能である。

上のような観点での構成上の相違とともに、半導体におけるキャリア・モビリティの結晶方位依存性による影響もまた、前述のようなミクロ的な特性を利用する本発明にとっては軽視できないものである。第22図のレイアウトによる場合、第1領域列をなす複数のゲート電極層の全てが互いに同じ方向かつ同じパターンとされていること、同様に第2領域列をなす複数のゲート電極層の全ても互いに同じ方向かつ同じパターンとされていることから、それら第1領域列に属するMOSトランジスタの相互、及び第2領域列に属するMOSトランジスタの相互は、上述の結晶方位性に基づく特性の違いを生じない。

このように、第22図のレイアウトは、半導体集積回路装置の設計上、及び製造上からは、前述のようなマクロ的バラツキないしは特性の偏りが、著しく小さくなるように考慮され、前述のようなミクロ的なバラツキを適切に利用できるように考慮されたものであることが理解されるであろう。

第22図の構成によって得られるMOSトランジスタの電気特性の偏りを更に十分に排除する必要が或る場合には、第22図の基本繰返し単位の複数によって構成される全体配列の端部効果を解消するためのダミー領域を設定することができる。ダミー領域は、上記全体配列の上記端部を、レイアウト的に上記全体配列の内部と対等にするための構成であり、少なくとも上記基本繰返し単位における端部の複数の単位領域を持

って構成する事ができる。

この種のダミー領域を設定しない場合には、上記全体配列における端部の外側がどのような構成にされるかによって、かかる端部の加工形状が影響を受けることが有り、また半導体基板とその表面の絶縁膜との間
05 でもたらされる応力のような素子特性に影響を与えかねない力の加わり方が、かかる端部とそれ以外の部分と異なってくることがある。それらは電気特性の偏りをもたらす要因ともなる。上のようなダミー領域を設定する場合には、上述の電気特性の偏りをもたらす要因を十分に排除する。

10 ダミー領域は、回路として利用しない領域とすることも、電気特性の偏りを留意しなくて良い他の回路を構成するための構成とすることもできる。

第23図には、上記第22図に対応した等価回路図が示されている。
第22図及び第23図において、端子名および素子番号は対応している
15 。但しデコーダ部については、CMOS論理しきい値検出回路の下（上でもよい）に配置すること以外、特に制約はないので詳細は示していない。第22図のような基本繰返し単位を、平行に配置した場合、素子とで形成されるCMOSインバータ回路は、隣接した同一回路と形状および周囲の環境を一致させることができる。ゲートアレイ方式以外のレイ
20 アウト方式では、これと同様に、CMOSインバータ回路部が合同となるように基本繰返し単位をレイアウトするようにすればよい。このようなゲートアレイを用いて回路を構成する場合、前記第16図の実施例のようにすれば、電源電圧変動の影響を軽減しつつ、Nチャンネル型MOSFETのしきい値電圧のバラツキを論理しきい値に支配的に反映させる
25 ことができる。

第24図には、この発明をダイナミック型RAM（ランダム・アクセ

ス・メモリ；以下単にDRAMという）に適用した場合の一実施例のブロック図が示されている。この実施例では、第20図等にも示された識別番号発生回路からバイナリカウンタ部およびデコーダ部を省略する。これらのカウンタ部及びデコーダ部に代わりに、それが搭載されるDRAMのロウアドレス信号およびカラムアドレス信号を、前記デコーダ部で形成された信号XとYとして供給して、CMOSインバータ回路の論理しきい値判定回路の選択信号として直接使用するものである。DRAMに対して識別番号の読み出しモードを設定し、回路DFTにより起動信号を生成して、上記読み出しのためのアドレス信号XとYを外部から供給してメモリアレーの選択動作に代えて、識別番号発生回路で生成された識別番号を入出力回路とDQピンを通して出力させる。この場合、アドレス信号XとYの入力順序が任意にできるから、自己対戦部分の固定情報のみを指定して読み出すことも可能となる。あるいは、アドレス信号XとYの入力順序を暗号として入力し、特定のもののみが自己対戦に対応した固定信号あるいは識別番号を出力させることができるようにしてもよい。

この構成は、DRAMの他、他のスタティック型RAMやフラッシュEPROM等のような他の半導体記憶装置あるいは、アドレス端子を持つCPU（マイクロプロセッサ）等のような半導体集積回路装置にも同様に適用することができる。

第25図には、この発明に係る識別番号発生回路を用いた半導体集積回路装置の一実施例の概略構成図が示されている。半導体集積回路装置に識別番号を付与するそもそもの目的は、個々のLSI毎に固有の番号を付けることである。番号を付ける方法は、レーザフューズやフラッシュ（FLASH）メモリなどを使う方法もあるが、特別なプロセスやプログラム工程などが必要となる。

この実施例では、ウエハ状態で本願の識別番号発生回路が発生した識別番号をテストにより読み出し、ワークステーションで種々のデータなどに関連させて登録する。各LSIが製品となり、パーソナルコンピュータPCなどの電子機器に搭載された後に、LSIから識別番号を読み出す。その時、読み出された識別番号は、同一のLSIであつても、動作環境や条件が登録時と異なっていることがあり、完全に一致する保証はない。しかし、識別番号の食い違いの程度より、同一あるいは同一でないということが推定できる。

本願における識別システムの判定アルゴリズムについて説明する。既に述べているように、本実施例における識別番号は、複数のCMOSインバータ回路の論理しきい値の大きさの順番である。前記実施例のような4個のCMOSインバータ回路を持つ回路を1ユニットと数える。例えば4個のCMOSインバータ回路の論理しきい値の順番（順列の数）は、 ${}_4P_4 = 4! = 4 \times 3 \times 2 \times 1 = 24$ 通りである。今ここに2ユニットあつた時、この論理しきい値が完全にランダムにばらつくなら、この2ユニットのCMOSインバータ回路が同じ順番である確率は、約4.2% ($= 1 - 23/24$) である。

また1ユニットが8個のCMOSインバータ回路で構成された時、その順列の数は、 $8! = 40,320$ 通りである。これが50ユニットあつた時、同じ順番のものが1組以上存在する確率は、約3% ($= 1 - (40320 \times 40319 \times \dots \times 40271) / 40320^{50}$) である。

1ユニット16個のCMOSインバータ回路ではその組合わせは、 $16! = 2.09E13$ 通りである。このように16の順列とは途方もない数であり、CMOSインバータ回路の論理しきい値がランダムにばらつく時、同じ並び方のものはほとんど存在しないということである。実

際、これが100万ユニットあった時、同じ順番のユニットが1組以上存在する確率は、少なくとも5%以下（厳密な計算は桁数が多く困難なためおよその概算による）と推定される。すなわち、乱暴に言つて2,000万ユニットに1組である。このような計算から、実用的な識別番号を完成するには、1ユニットに16個程度のCMOSインバータ回路が必要と考えられる。よつて以降、1ユニット16CMOSインバータ回路を例に説明することにする。

1ユニット16個のCMOSインバータ回路を、第7図のように実現するなら、総当たり比較結果は、自己対戦を含めて256個である。なお今後、1個の比較結果出力を1ビットと呼ぶことにする。

第26図は、16個のCMOSインバータ回路の論理しきい値が、 $V_{LTQ1} > V_{LTQ2} > \dots > V_{LTQ16}$ と連続的に並んでいる最も単純な例である。

第27図は、CMOSインバータ回路の論理しきい値がランダムな場合の例である。2段目のCMOSインバータ回路の論理しきい値が1段目より高い時を“1”、低い時を“0”、また自己対戦は不定“*”としている。2つの例で分かるように、第26図や第27図に対応した回路のOUTのビットパターンは、CMOSインバータ回路の論理しきい値の並び方で特有のパターンに変化する。すなわち、識別番号としてこの出力OUTのビットパターンを直接使用することが最も単純な方式として考えられる。この方法の識別番号情報のビット数、つまりデータ量は256ビットである。

上記ビットパターンとはいわゆる対戦結果表そのものである。一方本願の基になつている考え方は、複数のCMOSインバータ回路の論理しきい値の大きさの順番である。対戦結果表から、大きさの順番の情報だけを取り出せば、扱う情報のデータ量を小さくすることができると考え

られる。

第26図及び第27図の下側及び右側には、縦方向及び横方向の”1”または”0”の自己対戦部分を除いた合計数を示している、例えば図第26図及び第27図の下側の”1”の合計をみると、数字の大きさと
05 論理しきい値の大きさの順番が対応している。これは、サッカーや野球といったスポーツのリーグ戦に例えると、強いチームは勝数が多いと同じことである。CMOSインバータ回路で言えば、論理しきい値が高い程、”1”が多いことになる。

勝数あるいは”1”の合計数は、順位と等価なことであるから、CMOSインバータ回路の論理しきい値の大きさの順番を表わすものに、この”1”の合計数を用いることができる。当然”0”の合計数を用いても、横方向の”1”または”0”の合計数を用いても基本的に変わらない。この方法を用いると、情報ビットのデータ量を減らすことができる。各CMOSインバータ回路は、それぞれ0から15までの数で表せる
15 ことのできる順位を持ち得るので、2進数で4ビット分の情報量が必要である。CMOSインバータ回路は16個あるので、合計64ビット（ $= 4 \times 16$ ）必要である。先の比較結果（対戦結果）表に比べ、256ビットから64ビットへ4分の1にデータ量を減らすことができる。

ここでは、1ユニット16個のCMOSインバータ回路を用いる構成
20 であったが、CMOSインバータ回路数が多い程、この効果は高くなる。例えば、1ユニット32CMOSインバータ回路構成では、比較結果表では1024ビットであるが、順位を用いた場合は、160ビット（ $= 5 \times 32$ ）と6.5分の1になる。別の言い方をすると、比較結果は4倍（ $= 1024 / 256$ ）に増えるが、順位を用いた情報では2.5
25 倍（ $= 160 / 64$ ）に抑えられる。このことは、識別システムとしては管理するデータ量が少ないということと、照合に費やされる処理時間

を短縮できるという利点がある。

第 28 図及び第 29 図には各々、この発明に係る半導体集積回路装置の識別システムにおける照合アルゴリズムの一実施例の構成図が示されている。ここでは CMOS インバータ回路の論理しきい値の比較結果情報を用いた方法を説明するが、論理しきい値の大きさの順位を用いる方法も全体の流れは同じである。

第 28 図には、登録方法が示されている。

- ① 識別番号発生回路から 256 ビットの CMOS インバータ回路の論理しきい値の比較結果情報を読み出す。
- ② それを識別番号管理台帳に登録し、測定データなどの情報を格納したデータベースと関連付けるために管理番号を設ける。
- ③ 登録数を 1 つ増やす。ここでは、新規に登録される識別番号は、常に登録済みのものと重複しないことが前提だが、新規登録時に登録済みのものとの重複を確認し、何ならかの警告を発するというような手順を追加することも有効である。

第 29 図は、照合方法が示されている。このシステムでは、登録時と照合時の環境や条件の違いによる識別番号の変動を許容することが特徴である。

- ① 識別番号発生回路から 256 ビットの CMOS インバータ回路の論理しきい値の比較結果情報を読み出す。これを被識別番号という。
- ② 管理台帳から登録識別番号を順次取り出す。
- ③ 登録識別番号と被識別番号を比較する。比較方法については、後述する。
- ④ 登録識別番号と被識別番号の比較結果の違いが小さいものを一致候補にする。②～④繰り返すことで、最終的に全ての登録識別番号の中で最も違いが小さいものが同一最有力候補となる。

第30図には、第29図の比較方法の一例の説明図が示されている。被識別番号は、256ビットのCMOSインバータ回路の論理しきい値の比較結果出力の一部である24ビットを取り出して示したものである。識別番号1～5は、登録識別番号である。その中の網掛け部分は、被
05 識別番号のビットと異なつた部分である。右端に不一致ビット数の合計を示す。

第8図を用いて説明したように、識別番号発生回路の”0”、”1”出力パターンは、個々のユニット毎に特有であるから、同一ユニットから出力された識別番号であるかは、パターンを構成するビット数の一致
10 の割合で判定できる。ここでの識別番号は説明のための例に過ぎないが、識別番号5の不一致ビット数が1で、それ以外は5から17と明らかに識別番号5の一致率が際立つて高い。よつて識別番号5を最有力候補とすることができる。

第31図及び第32図には、CMOSインバータ回路の論理しきい値
15 の順位を用いた場合の識別番号の比較方法の一例の説明図が示されている。第31図は一覧表の形式で示され、第32図はグラフの形式で示されている。ここでは被識別番号の素子の順位、つまりCMOSインバータ回路の論理しきい値の並び方は、説明を簡単にするため、素子番号と同じ順番であるとしている。識別番号1は、素子番号8と9が入れ替わ
20 っているだけで残りは一致している。被識別番号と比較し、両者の順位の距離の絶対値の合計は2である。識別番号2は、順位がランダムであり、順位の距離の合計は66、平均は、4.13である、この順位の距離の合計の期待値は、理論上85、平均は5.3であるから、順位の距離の合計が2、平均0.125の識別番号1は、極めて同一である可能
25 性が高いといえる。つまり、本方式では、登録時と照合時の環境や条件の違いによる識別番号の変動を許容するため、被識別番号と登録済みの

識別番号とのずれの合計がもつとも小さいものを一致の候補とするものである。

- 第31図及び第32図中の識別番号3は、素子番号1の順位が5段階ずれている。素子番号2～6は1段階、残りは0である。順位の距離の合計および、平均はそれぞれ10と0.625である。この値を見る限りは、期待値より十分低い値であるため、一致の候補となる可能性が高い。しかし、素子番号1において順位が5段階もずれることは、起こり難い現象であると考えられる。仮にここに識別番号3と同等か、わずかに大きい順位距離を示すものがあった場合、さらに正確な同一性を確認するために、個々の素子の順位距離の最大隔差を判定の要素に加えることが有効である。具体的な判定基準の例としては、「順位距離の合計が16以下である」という基準に「各素子の順位距離が2以下である」といものを追加することである。実際の判定基準は、識別番号発生回路の特性や応用されるシステム毎に異なる。
- 第31図、第32図は、識別番号のための素子の数、すなわちCMOSインバータ回路数が16の場合を例示している。より高い識別能力を満たすためなどの事情で、識別番号のための素子数を増大したい場合はある。そのためには、例えば第20図に示したような構成を拡張する方法が最も単純な方法の一つとなる。第20図の構成での素子数増大は、その数に対応したCMOSインバータ及びスイッチMOSFETの設定と、その数に対応してのカウンタビット数の設定と、デコーダの設定によって可能となる。素子数増大の更に別な方法としては、例えば16個のCMOSインバータを主として構成された識別番号発生回路の複数個を同一半導体集積回路装置内に配置する方法を取ることができる。
- 半導体集積回路装置LSIは、前工程から払い出された後、ウエハ状態でのプローブ検査や、パッケージに組立てられた状態での選別試験な

どで不具合が検出される。メモリや比較的大規模なメモリを混載したロジックLSIなどでは、プローブ検査時に検出された不良メモリセルを予備のメモリセルに置き換える、いわゆる冗長救済技術が取り入れられている。近年の半導体加工技術の微細化や高速化、高性能化にともない、最終選別工程にて製品の不良が多く検出されるということが起こっている。しかも半導体集積回路装置LSIは大規模化しており、このような製造工程の後で不良が発覚することは、コストの増加をもたらす問題である。

そこで、組立て後の製品において検出された不良を、再度救済したいという要求が高まっている。例えばメモリ部を例にすると、バーイン工程などで不良化したチップを集め、不良チップに含まれる劣化ビットを、残りの予備メモリセルで再度救済しようとするものである。

この再救済技術について具体的に検討してみると、救済技術には次の2つの代表的な方法が考えられる。第1の方法は、各LSIに独立な番号を付け、プローブ検査工程の救済情報を全てのメモリチップ毎に管理するものである。再救済を行う時には、メモリチップからチップの番号を取り出し、プローブ検査工程で採取した救済情報を管理コンピュータから引き出し、これを基に未使用メモリセルを割り出し再救済を行うものである。第2の方式は、再救済を行う毎にメモリチップから、最初の救済情報を取り出す方式である。これはいわゆるアドレスロールコールと呼ばれる技術を使うものである。

これらの再救済技術を適用するためには、次のような技術が必要となる。第1の方式では、各メモリチップに独立な番号を付ける必要がある。これはプローブ検査後に行う救済の際に、識別番号をプログラムすることで実現することが可能である。また、第1及び第2の方式とも、再救済時は電氣的なプログラムが可能な素子を内蔵する必要がある。電気

的なプログラムが可能な素子としては、現在ポリシリコンを電流により溶断する方式や、絶縁膜を高電界で破壊する方式、FLASHメモリを用いる方式などが考えられるが、いずれも工程の増加やプログラミング素子の信頼性、周辺回路の増加などの副作用が考えられる。

- 05 上記の方式はいずれも本体LSI内に何らかのプログラミング素子を搭載するものであった。本願発明者においては、別の角度から、両者を別々のチップに分ける第3の方式を検討した。この第3の方式の特徴は、プログラム専用チップに、そのプログラムに適した専用プロセスを適用できることである。この第3の方式においても次のような問題を有する。
- 10 。

- 1つは、本体LSIとプログラミング専用チップをいかに対応させるかである。この問題の解決方法を、マルチチップモジュールを例に考えてみる。マルチチップモジュールの場合、最終的に両チップはモジュール基板上で1つの半導体集積回路装置になる。しかし各チップは、モジュールに組み立てられるまでは、組み合わせが厳密に管理されていなければならない。これを実現するLSI製造ラインを構築することは容易ではない。そこで、本体LSIに識別番号を付け、モジュール基板上に実装された状態で本体LSIの識別番号を読み出し、プログラミング専用チップにその本体LSIに対応する情報をプログラムする方法が考えられる。
- 15
- 20 。

- プログラム方法として、例えばレーザ照射装置で切断する技術を用いた場合、かかるレーザ照射切断装置はウエハ状態のチップのフューズを切断することはできるが、パッケージやモジュール上のチップの切断は難しい。何故なら、パッケージやモジュール上のチップのヒューズ座標とレーザビームのアライメントは技術的に困難で、仮にできたとしても個々のチップ毎にアライメントが必要でありスループットが極めて低い
- 25

ためである。そもそも、レーザ照射前に、本体LSIの識別情報をどのように読み出すかも問題である。そのため、プログラミング専用チップは、本体LSIの識別番号の読み出しと、プログラムが同一装置上で連続的に実行可能な、電氣的プログラム方式に限られてくる。

- 05 よって、上記第3の方法の現実的な形式は、「識別番号を付けた本体LSIと、電氣的なプログラミング素子を持つプログラム専用チップを、マルチチップモジュール上に実装しプログラムする」というものである。しかし、この第3の方式も、いくつかの制約の上に成立し、必ずしもLSIの生産活動において、例えばコストや信頼性の面で最善である
- 10 とは限らない。

その制約の一つは、マルチチップモジュールの使用が前提となることである。だが、マルチチップモジュールを使わず、例えば直接ボード上に2つのチップを組み合わせる方法をとることは、さらに非現実的である。

- 15 二つめの制約とは、プログラミング専用チップに使うプログラミング素子に、電氣的プログラムが可能な、例えばポリシリコンフューズや、FLASHメモリ、FRAMなどのプロセスを用いなければならないことである。これらの素子は、いずれも特殊なプロセスを必要とし、周辺回路の規模が大きく、また信頼性の点でも問題がある考えられる。これ
- 20 らの問題が少なく、また比較的安価な方式としてレーザ切断メタルフューズを用いるプログラミング方式があるが、前述のように、この第3の方式とは相性が良いとはいえない。

- 三つめの問題は、本体LSIの識別番号のプログラム（刻印）である。このプログラムにも、レーザフューズや、電氣的プログラム素子が必要となる。しかし、プログラム専用チップを別チップ化したにも関わらず、本体LSIにも同様のプロセスを追加すると、本体LSIのコスト
- 25

ダウンのメリットが減少してしまう。そこで、これらの問題を解決するため、CMOSインバータ回路の論理しきい値のバラツキを用いた識別番号発生回路が極めて有益なものとなる。

第33図には、この発明が適用される半導体集積回路装置の一実施例の構成図が示されている。まず本体LSIのプロープ検査を行う。この時、例えばLSIに搭載されたメモリ部に不良があった場合、不良メモリセルを予備メモリセルに置き換えるための救済情報を作成する。通常の汎用メモリなどでは、この後レーザ救済などを行うが、この実施例の半導体集積回路装置では、本体LSIはそのままダイシングされ組立てられる。さらにその後エージング、選別などの工程で検出された不良情報をプロープ検査時の救済情報に追加する。最終救済情報は、プログラミング専用チップに書き込まれる。本体LSIとプログラム専用チップはマルチチップモジュールとして組み合わせて使用する。

第34図には、この発明が適用される上記マルチチップモジュールの一実施例のブロック図が示されている。本体LSIとプログラム専用チップとは、データ交換制御回路を通してクロックに同期してデータがシリアルに伝達される。つまり、本体LSIの識別番号発生回路で生成された識別番号は、データ交換制御回路を通してプログラム専用チップに伝えられる。

プログラム専用チップでは、1つのユニット分に対応した複数の登録番号（識別番号）とその欠陥救済情報が一対一に対応してプログラミングデータとして保持されている。プログラム専用チップは、上記本体LSIから前記データ交換制御回路を介して伝えられた識別番号が計数器を介して被識別番号レジスタに登録される。

照合回路は、かかる被識別番号とプログラミングデータの中の登録識別番号との比較照合を行う。この照合動作は、前記第30図ないし第3

1 図に示したアルゴリズムに従って登録時と照合時の環境や条件の違いによる識別番号の変動を許容しつつ判定を行う。一致候補番号が検出されると、プログラミングデータの中のレジスタデータがデータ読み出し回路に読み出される。そして、データ交換制御回路を介して前記識別番号とは逆に、プログラム専用チップから本体LSIに向けて、救済情報が伝えられる。この救済情報は、シリアル/パラレル変換されてデータレジスタに保持され、欠陥救済に用いられる。

プログラム専用チップは、1つのユニットに対応した複数チップの欠陥救済情報を持っているので、1ユニット分の複数の本体LSIに対して1種類のプログラム専用チップが形成されて共通に組み合わされて用いられる。そのため、本体LSIとプログラム専用チップとを一対一に対応させて製造、管理及び組み立てる必要はない。

第35図には、プログラム専用チップの一実施例のブロック図が示されている。プログラム専用チップは、特に制限されないが、識別番号解読回路、照合回路及びプログラミングデータとデータ読み出し回路等から構成される。登録識別番号、レジスタデータはフューズのレーザー照射による選択的な切断によって登録される。

照合回路では、前記第30図や第31図の判定アルゴリズムに対応し、減算器を用いて減算結果の絶対値から比較器1で上限値と比較して、乖離検出を行う。比較器2では順次置き換えられる最小累積距離を基準にして上記累算器から出力される累積距離を比較して判定回路により、前記乖離検出信号とともに1～Nから1つの一致候補番号を出力する。この一致候補番号によりレジスタデータが選択されて、データ読み出し回路に伝えられる。上記データ読み出し回路は、ECC機能（誤り訂正機能）を持つようにされる。これによりデータの信頼性が高められる。

第36図には、本願に係る識別番号発生回路を搭載した半導体集積回

路装置の、いわゆる後工程と言われる一実施例の製造工程①ないし⑬の構成図が示されている。この実施例では、本体LSIをDRAMとSRAMが混載された大規模システムLSIとし、プログラム専用チップはレーザ切断メタルフューズの使用を前提としている。以下、図36図を用いて製造工程の流れを説明する。

① 本体LSIをプローブ試験テストにより試験する。DRAMやSRAMの不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、LSI内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などと連結しデータベースに格納する。

② 本体LSIウエハをダイシングする。

③ 本体LSIのみ、マルチチップモジュール基板に仮実装する。本図では、本体LSIは1つであるが複数であることもある。

④ 選別試験テストにより本体LSIから識別番号を読み出し、ホストコンピュータに送る。ホストコンピュータは、識別番号から本体LSIを認識し、個々の本体LSIに必要な情報をテストに返す。必要な情報とは、上記の不良メモリセル救済情報や、本体LSI識別情報などホストコンピュータによりデータベースで管理されていたものである。これを本体LSIレジスタ情報と呼ぶ。選別試験テストは、本体LSIレジスタ情報を、例えば不良メモリセル救済情報であれば、本体LSI内の救済回路の救済アドレスレジスタに格納し、内部電源回路設トリミング定値であれば内部回路内のトリミング値設定レジスタに格納する。

選別試験テストは、本体LSIレジスタ情報設定後、プローブ試験ではできないような高速動作試験などを行う。さらにここで新たに不良になったものについては、その不良情報をホストコンピュータに転送する。ホストコンピュータは、送られた不良情報とで採取した情報を合わせ

再救済や調整が可能であるか解析し、再びデータベースに格納する。

⑤ プログラム専用チップに、本体LSIに必要なレジスタ情報をプログラムする。さらに必要であれば、製造管理情報や、顧客情報、暗号、機能情報などのプログラムを行う。プログラム専用チップは、1チップ
05 に複数の本体LSIの情報を格納できる。例えば、100個の本体LSI分の容量があるとする、レーザ切断装置は、ホストコンピュータから100個の本体LSI分の識別番号とレジスタ情報を受け取り、受け取った情報をもとに、100個のプログラム専用チップに全て同じ100本体LSI分のレジスタ情報をプログラムする。

10 ここで、プログラム専用チップのフューズ切断時間を見積もってみる。例えば、1個の本体LSI当たりのプログラムビット数が1000ビット、1個のプログラム専用チップに100本体LSI分格納（登録）できるとすると、1つのプログラム専用チップは10万本（1000×100）のヒューズを搭載する。最新のレーザ切断装置の能力は、毎秒
15 5000パルス以上であるので、約20秒で10万本すなわち1個のプログラム専用チップの切断が可能である。100チップでは、2000秒（33分）である。また、プログラム専用チップの面積は、1つのフューズの大きさを15平方マイクロンとすると、フューズ部だけで1.5平方ミリメートル、周辺回路やパッドを含めると約3平方ミリメートル
20 である。

⑥ レーザ切断不良チップを除去するため、プローブ検査を行う。なお本工程の前に、チップを保護する保護膜を付ける工程を付加することもある。検査データパターンは、ホストコンピュータから受け取る。ここで、レーザ切断不良チップが発生することもあるので、前記工程⑤でプログラムされるチップ数は、100個よりも多めとする。この数は歩留
25 の実績によつて調整する。ここで、プログラム専用チップが本体LSI

より少なく不足した場合、余った本体LSIは回収され別のグループに混成される。逆に、プログラム専用チップが余った場合は廃棄する。いずれにしても損害になるが、貴重な本体LSIを廃棄するよりは経済的である。

- 05 ⑦ プログラム専用チップをダイシングする。ダイシングされたチップは、工程⑥において同一のプログラムがされた100個と余裕分がピックアップされ、本体LSIに対応するグループ（ロット）にまとめられる。
- 10 ⑧ プログラム専用チップをマルチチップモジュールパッケージに実装する。この時、前記工程④と⑥で対応付けられたグループが組み合わせられなければならない。しかし、個々の本体LSIとプログラム専用チップを一対一で対応させる必要がないので、従来の組立工程と比べ大幅な工程の変更は必要ない。なお、本実施例では、本組立工程では後の分離工程⑩のために、完全な封止やキャップは行わないとしているが、必ずしもこの方法に限定するものではない。
- 15 ⑨ 完成したマルチチップモジュールが最終選別試験される。プログラム専用チップには、上記実施例では、100チップ分の救済情報が収められて（登録されて）いる。ボード上の本体LSIが立ち上がる際、本体LSIとプログラム専用チップの間でデータ交換が行われる。具体的
- 20 には、本体LSIから識別番号がプログラム専用チップに送られ、プログラム専用チップは、送られた識別番号と登録された識別番号を比較し、モジュールに実装された本体LSIを認識し、救済情報など必要なレジスタ情報を本体LSIに送る。本体LSIは、送られたレジスタ情報をもとに内部の初期設定を行う。その後、最終試験が行われる。合格したものは、次の封止工程に送られ、不合格のものは、分離工程に送られると同時に、不良情報がホストコンピュータに送られ、再生可能である
- 25

か解析される。

- ⑩ 最終試験に合格したモジュールは封止またはキャップされ出荷される。
- ⑪ 不合格品のうち再生可能可能品は、プログラム専用チップが分離される。
- 05 ⑫ 再生可能品は回収され、新たな数量単位にまとめられる。
- ⑬ 回収された再生可能品を、再び選別試験にかける。その際、本体LSIから識別番号が読み出され、それに対応する過去のプローブ試験情報、選別試験情報、最終選別試験情報などがホストコンピュータから取り出される。また図示してしないが、この新たな再生可能品について、非再生品と同様にプログラム専用チップが作成され同様の工程を進行する。プログラム専用チップとして、電氣的にプログラム可能な素子によるものに置き換えることもできる。この場合、工程数が削減できる。
- 10 第37図には、本願に係る識別番号発生回路を搭載した半導体集積回路装置を回路実装ボードに組み立てる場合の一実施例の製造工程①ないし⑮の構成図が示されている。
- 15 ① 本体LSIをプローブ試験テストにより試験する。DRAMやSRAMの不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、LSI内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などを連携しデータベースに格納する。
- 20 ② 本体LSIウエハをダイシングする。
- ③ 本体LSIをパッケージに組み立てる。
- ④ 第36図の工程④と同じ。
- 25 ⑤ 第36図の工程⑤と同じ。
- ⑥ プログラム専用チップをダイシングする。ダイシングされたチップ

は、第36図の実施例と同様に、本体LSIに対応するグループ（ロット）にまとめられる。

⑦ 第36図の工程⑦と同じ。

⑧ 本体LSIとプログラム専用チップを回路実装ボードに実装する。

05 この時、前記工程④と⑥とで対応付けられたグループが組み合わされなければならない。しかし、個々の本体LSIとプログラム専用チップを
一対一で対応させる必要がないので、従来の組立工程と比べ大幅な工程
の変更は必要ない。

10 ⑨ 完成したボードが実装試験される。ボード上の本体LSIが立ち上がる際、本体LSIとプログラム専用チップの間でデータ交換が行われる。本体LSIまたはプログラム専用チップおよびボード実装にともなう不具合が確認されたものは、分離工程に送られると同時に、不良情報が
がホストコンピュータに送られ、再生可能であるか解析される。

⑩ 試験に合格したボードは出荷される。

15 ⑪ 不合格品のうち再生可能ボードは、プログラム専用チップが分離される。

⑫ 再生可能ボードは回収され、新たな数量単位にまとめられる。

20 ⑬ 回収された再生可能ボードに対するプログラム専用チップが作られる。今回のレジスタ情報は、前回のレジスタ情報に実装試験結果が加えられたものである。

⑭ 回収されたボードは再び実装工程に戻され、前記工程⑬で作成されたプログラム専用チップとともに1つの実装ボードに実装され、以降同様の工程を進行する。

⑮ 第36図の工程⑬と同様。

25 なお、ここに示した実施例は、一実施例にすぎず、適用される製品や既存の生産ラインの形態により変化する。

第38図には、本願に係る識別番号発生回路を搭載した半導体集積回路装置の他の一実施例の製造工程①ないし⑪の構成図が示されている。

- ① 本体LSIをプローブ試験テストにより試験する。DRAMやSRAMの不良メモリセル救済情報、内部電源回路トリミング設定値、ディレイ回路設定値などと一緒に、LSI内の識別番号をホストコンピュータに転送する。ホストコンピュータは、送られた情報やその他の製造管理情報などを連携しデータベースに格納する。
 - ② 本体LSIウエハをダイシングし、救済可能チップを選別する。
 - ③ 本体LSIをベビーボードに仮組み立てする。
 - ④ 組み立て不良などをチェック後に、エージングを行う。このとき、ベビーボード上のチップからは識別番号を読み出し、ホストコンピュータからは個々のチップに対応した救済データを取り出、ベビーボード上のチップに格納させる。
 - ⑤ テスタによる選別を行う。
 - ⑥ ベビーボードから本体LSIを分離する。
 - ⑦ 本体LSIを出荷する。
 - ⑧ 顧客にて本体LSIと同時にプログラムデバイスを回路実装ボードに実装する。
 - ⑨ 本体LSIから識別番号を取り出す。
 - ⑩ 通信回線を通してメーカー側のホストコンピュータをアクセスして上記実装された本体LSIに対応したデータを受け取り、上記プログラムデバイスに転送されてデータを格納する。通信回線を用いずに例えばCDROMのような電子メディアを使って配布してもよい。
 - ⑪ 最終ボードをテストにより選別する。
- 以上の各実施例の半導体集積回路装置の製造方法においては、
- (1) 本体LSIとプログラム専用チップの組み合わせは、プログラ

ム専用チップに登録される本体LSI数であるため、一対一の管理が不要となり、生産性が向上するとともに既存の生産設備の変更が少なく済む。

05 (2) プログラム専用チップにレーザ切断フューズが使用できる。メタルフューズの他の電氣的プログラミング可能な素子に対しての長所は、標準CMOSプロセスに対して変更が小規模、本体LSIの仕様に合わせた設計変更が容易であり、プロセスの世代に依存しないことなどである。標準プロセスからの変更点は、最終配線層形成とパッシベーション工程である。

10 (3) 本体LSIレジスタは、ラッチ回路でよいので面積が小さく、本体LSIのチップサイズ低減になる。

(4) 本体LSIにチップ識別番号発生回路を搭載すれば、本体チップにプログラマブル素子プロセスを追加する必要がない。

15 (5) プログラム専用チップの置き換え(リペア)ができる。モジュールやボードに実装後に本体LSIに修正や問題が発生した時、プログラム内容を変更したチップを交換することで対応できる。

(6) ホストコンピュータを中心とした情報の交換を、ネットワークを利用して実現することで離れた場所の製造工場を使用することができ、経済的な生産活動が可能となる。

20 第40図は、CMOSインバータの論理しきい値のバラツキを乱数発生器に応用した実施例である。より具体的な実施例として、第39図のような特定用途向けLSIを用いて説明する。このLSIは、玩具用ロボットの制御のためである。現在、市販されている玩具用ロボットは、特に愛玩用飼育ロボットなどは工場出荷時点では、画一的な性格を持っている。しかし、それを実際の生物や動物に似せるために、例えばオス
25 かメスという性別、気性、運動能力といった先天的あるいは遺伝的な特徴

を持たせることで、それを保有する購入者に対し、さらに生き物としての強い感情を抱かせることができる。

第40図では、先天的な特徴を、プログラムなしでLSIが製造された時に専用LSIに持たせるための最も単純な回路である。これは、2
05 進数で4ビットの乱数を出力するもので、各ビットの出力値は個々のLSIごとにランダムに発生する、例えば、D0はオスカメスを決定する。D1は気性を、D2とD3は飼い主に対する依存度を4段階で決定する。なお、D0とD1、D2とD3に2種類の回路方式を示しているが、基本的に2つのCMOSインバータの論理しきい値の違いを取り出す
10 ことは変わらない。

このような先天的個性をロボットに持たせることは、他の方法でも可能ではある。例えば、制御プログラムの中身のパラメータを個々に変更することで可能ではある。しかし、それは製造メーカーによりプログラム、つまり人間によって作られたものであるという感覚が否めない。
15 本実施例で示した方法によると、個々の個性は製造したメーカーにもコントロールできないという、いわば「神の摂理」のようなものが感じられて商品としての価値が高まる。

第41図は、企業間の電子部品調達市場における不正行為や様々なトラブルを軽減することを目的とした、本願発明に係るチップ識別番号発生回路の利用例の他の構成図が示されている。
20

工場から出荷される半導体LSIには、前記のようなチップ識別番号発生回路が組み込まれている。工場すなわちメーカーは、出荷品全てのチップ識別番号を採取する。チップ識別番号は、ランダムであるので管理上都合の良いLSI管理番号と対応させる。さらに各種の管理情報、例えば生産ライン名や製造日などと関連付ける。
25

第41図の①のように顧客Aに直接納入する場合、製品を梱包したユ

ニット（箱など）番号や顧客番号などの帳票データなどの情報をデータベースの管理情報に追加する。品物を受け取った顧客Aは、受け入れ検査時にチップ識別番号を全LSIまたは抜き取ったLSIから読み出す。次に顧客Aは、例えばインターネットなどのネットワークを通じメー

05 カのデータベースにアクセスする。データベースから、入荷したユニットに含まれるLSIのチップ識別番号を取り出し、入荷したLSIから読み出した識別番号と比較する。識別番号どうしが一致すれば、製品の納入が正しいことが確認できる。この手法は汎用品でも顧客カスタム品でも可能であるが、特にカスタム品の場合有効である。

10 第41図において、仲介業者（卸業者）が介入する場合を想定してみる。工場出荷は、上記と同じである。受け取った1次卸業者は、通常梱包を開梱しないが、ユニット番号をメーカーのサーバに照会すると同時に、次の納品先情報などを登録する。さらに2次、3次の卸業者も同様にする。最終顧客は、前記①と同様に入荷したLSIの識別番号をLSI

15 から読み出し、メーカーのデータベースに照会する。以上のシステムを構築することで次のような効果が期待できる

- （1）納入品の取り違えが防止できる。
- （2）仲介業者による中古品の入れ替えなどの不正行為を防止できる。
- （3）返品による不良品および中古品の再販を防止できる。
- 20 （4）流通ルートの確認ができる。

第42図には、この発明に係る半導体集積回路装置の他の一実施例の模式的平面図が示されている。同図は、半導体装置の樹脂封止体の上部を除去した状態の模式的平面図であり、MCP（Multi Chip Package）型と呼称される半導体装置に適用される。この実施例のMCP型半

25 導体装置においては、2つの半導体チップを積層して1つのパッケージに組み込んだものである。このうち半導体集積回路装置10はベースチ

ップとされて第33図、第34図等の本体LSIとされる。そして、その上に搭載された半導体チップ20が前記プログラム専用チップとされる。この実施例のQFP型半導体装置30Aは、2つの半導体チップ（本体LSI10，プログラム専用チップ）を上下に積層し、この2つの半導体チップを1つの樹脂封止体17で封止した構成になっている。

本体LSI10及びプログラム専用チップ20は異なる平面サイズ（外形寸法）で形成され、夫々の平面形状は方形で形成されている。本実施形態において、本体LSI10の平面形状は例えば4.05 [mm] × 4.15 [mm] の長方形で形成され、プログラム専用チップ20の平面形状は例えば1.99 [mm] × 1.23 [mm] の長方形で形成されている。

本体LSI10及びプログラム専用チップ20は、例えば、単結晶シリコンからなる半導体基板と、この半導体基板の回路形成面上において絶縁層、配線層の夫々を複数段積み重ねた多層配線層と、この多層配線層を覆うようにして形成された表面保護膜（最終保護膜）とを有する構成となっている。

本体LSI10の互いに対向する回路形成面（一主面）10A及び裏面（他の主面）のうちの回路形成面10Aには、複数のボンディングパッド11が形成されている。この複数のボンディングパッド11は、本体LSI10の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜で被覆され、この表面保護膜にはボンディングパッド11の表面を露出するボンディング開口が形成されている。

プログラム専用チップ20の互いに対向する回路形成面（一主面）20A及び裏面（他の主面）のうちの回路形成面20Aには、複数のボンディングパッド21が形成されている。この複数のボンディングパッド

21は、プログラム専用チップ20の多層配線層のうちの最上層の配線層に形成されている。最上層の配線層はその上層に形成された表面保護膜で被覆され、この表面保護膜にはボンディングパッド21の表面を露出するボンディング開口が形成されている。

- 05 本体LSI10のボンディングパッド11及びプログラム専用チップ20のボンディングパッド21の平面形状は、例えば65 [μm] \times 65 [μm] の正方形で形成されている。

- 10 本体LSI10の複数のボンディングパッド11は、本体LSI10の4つの辺（互いに対向する2つの長辺（10A1, 10A2）及び互いに対向する2つの短辺（10A3, 10A4））に沿って配列されている。プログラム専用チップ20の複数のボンディングパッド21は、EEPROM用チップ20の4つの辺（互いに対向する2つの短辺（20A1, 20A2）及び互いに対向する2つの長辺（20A3, 20A4））に沿って配列されている。

- 15 プログラム専用チップ20は、プログラム専用チップ20の他の主面である裏面が本体LSI10の回路形成面10Aと向かい合う状態で本体LSI10の回路形成面10A上に配置され、接着層15を介在して本体LSI10の回路形成面10Aに接着固定されている。本実施形態において、接着層15としては例えばポリイミド系の接着用樹脂フィルムを用いている。

- 20 本体LSI10は、その裏面がダイパッドと向かい合う状態で、接着層を介在してダイパッドに接着固定されている。ダイパッドには4本の吊りリード6が一体化され、これらのダイパッド5及び4本の吊りリード6で支持体が構成されている。

- 25 樹脂封止体17の平面形状は方形状で形成されている。本実施形態において、樹脂封止体17の平面形状は例えば10 [mm] \times 10 [mm]

」の正方形で形成されている。樹脂封止体17は、低応力化を図る目的として、例えばフェノール硬化剤、シリコーンゴム及びフィラー等が添加されたエポキシ系の樹脂で形成されている。この樹脂封止体17の形成においては、大量生産に好適なトランスファモールディング法が用いられている。トランスファモールディング法は、ポット、ランナー、流入ゲート及びキャビティ等を備えた成形金型を使用し、ポットからランナー及び流入ゲートを通してキャビティの内部に樹脂を注入して樹脂封止体を形成する方法である。

本体LSI10の周囲には、樹脂封止体17の各辺に沿って配列された複数のリード2が配置されている。複数のリード2の夫々は、内部リード部（インナーリード）及びこの内部リード部と一体に形成された外部リード部（アウターリード）を有する構成となっている。各リード2の内部リード部は樹脂封止体17の内部に位置し、外部リード部は樹脂封止体17の外部に位置する。即ち、複数のリード2は、樹脂封止体17の内外に亘って延在している。各リード2の外部リード部は、面実装型リード形状の1つである例えばガルウィング型リード形状に折り曲げ成形されている。

この実施例では、本体LSI10には、前記のようにCMOSインバータ回路の論理しきい値の大小関係で生成される識別番号発生回路を備えている。このようなCMOSインバータ回路を用いた場合には、本体LSIに動作電圧を供給し、識別番号発生回路を動作させるような制御信号の入力が必要である。そのために、簡単な構成ではあるが特別な電源供給装置と信号読み出し装置が必要になる。

半導体集積回路装置が流通経路にあるとき、その識別番号を知りたい時がしばしば生じ、その環境のもとでは動作電圧の供給ができない場合も考えられる。本願の発明思想は、半導体集積回路装置の製造工程の

過程で同一の形態からなる複数の識別要素のプロセスバラツキに対応した物理量の大小関係を判定するものである。半導体集積回路装置では、複数のリードを有し、そのリード幅 d は一律になるようにプレス等により形成される。

- 05 しかしながら、複数のリードの幅 d_1 , d_2 等はプロセスバラツキが生じるものとなる。そこで、複数のリードのリード幅 d_1 , d_2 等を光学装置で測定し、その大小比較を行うことにより、前記CMOSインバータ回路の論理しきい値と同様にプロセスバラツキを利用した識別番号生成に利用するものである。この構成では、測定装置によりリードの
- 10 リード幅を複数個測定し、その大小関係を判定することで前記同様な半導体集積回路装置に固有の識別番号を判定することができる。

- つまり、半導体集積回路装置の出荷前に前記のように16本のリードを決めておいて、そのリードの幅、あるいはリード間のピッチ等を測定し、その位置情報と大小関係をデータベース化して保持させる。リード
- 15 幅ピッチを測定する場合、リード2がパッケージ17から突出する部分で行うことが望ましい。この測定は、光学装置により単時間で行うことができるから出荷時の識別番号の判定にはさほど時間を要しない。

- CMOS回路を搭載しない半導体集積回路装置にも利用できるし、CMOS回路の半導体集積回路装置では、前記CMOSインバータ回路の
- 20 電氣的な識別番号と組み合わせて使用するものであってもよい。このような2通りの物理量のバラツキを総合的に判断して識別番号の判定をより確実にすることができる。

- 第43図には、この発明に係る識別番号発生回路の他の一実施例の基本的回路図が示されている。前記実施例では、第7図に代表される回路
- 25 により、複数のCMOSインバータ回路のバラツキの論理しきい値の順番を識別番号とするものであった。これに対して、この実施例では、2

つのCMOSインバータ回路INV1とINV2の論理しきい値の比較結果を識別番号の1ビットにするものである。この考えは、前記第40図の実施例でも利用されている。

この実施例では、2つのCMOSインバータ回路INV1とINV2
05 の論理しきい値の比較は、次のようにして行われる。インバータ回路INV1の入力端子と出力端子との間には、短絡用のNチャンネル型MOSFETQ2が設けられる。特に制限されないが、このCMOSインバータ回路INV1の入力端子と電源電圧VDDとの間には、Pチャンネル型MOSFETQ1が設けられる。これらのMOSFETQ1とQ2
10 のゲートには、識別番号回路イネーブル信号ENが供給される。

上記インバータ回路INV1の出力端子は、上記インバータ回路INV2の入力端子に接続される。このインバータ回路INV2の出力信号は、同様なCMOSインバータ回路INV3ないしINV5の縦列回路からなる増幅回路により2値化されて出力端子OUTから識別番号出力
15 が形成される。

識別番号回路イネーブル信号ENがロウレベルとき、回路は非活性状態であり、MOSFETQ1がオン状態となりCMOSインバータ回路INV1の入力端子には電源電圧VDDに対応したハイレベルが供給される。このとき、MOSFETQ2はオフ状態にされ、インバータ回路INV1の出力信号はロウレベルにされ、以下、インバータ回路列INV2～INV5により、ハイレベル、ロウレベル…のように順次に反転信号が伝達される。

CMOSインバータ回路を構成するMOSFETは、そのゲートバイアス電圧の印加状態によっては、その特性が不所望に変化してしまう可能性
25 を持つ。Pチャンネル型MOSFETとNチャンネル型MOSFETとは、第19図に対する説明で紹介し、また次の第44図でも説明するよう

なNBT I 現象による影響もあり、Pチャンネル型MOSFETの方が比較的大きな特性変動を生ずる可能性が高い。

第43図の識別番号回路の非活性状態時オン状態となるプルアップ動作のMOSFET Q1は、初段CMOSインバータ回路の貫通電流防止の作用と共に、かかる初段CMOSインバータ回路におけるPチャンネル型MOSFETのゲート電位をそのソース電位すなわち電源電位レベルの高電位に維持させることによって、かかるPチャンネル型MOSFETの特性変動を十分に抑える作用を持つ。

識別番号回路が活性化されるとき、つまり識別番号を生成するときには、上記信号ENがハイレベルにされる。これにより、CMOSインバータ回路INV1は入力と出力とがMOSFET Q2により短絡させられて、その論理しきい値電圧に対応した電圧を生成する。CMOSインバータ回路INV1の論理しきい値に対応した電圧は、CMOSインバータ回路INV2の入力端子に供給される。CMOSインバータ回路INV2は、自身の論理しきい値電圧と上記CMOSインバータ回路INV1の論理しきい値に対応した電圧とを比較する。

上記インバータ回路INV1の論理しきい値がインバータ回路INV2のそれより低い時、その出力電位は、インバータ回路INV2の論理しきい値電圧より高くなる。つづく、インバータ回路INV3、INV3、INV5によって上記インバータ回路INV2の出力信号は増幅され、ノードN5の電位はVSS近くなる。上記とは逆にインバータ回路INV1の論理しきい値がインバータ回路INV2のそれより高い時、その出力電位は、インバータ回路INV2の論理しきい値電圧より低くなる。つづく、インバータ回路INV3、INV3、INV5によって上記インバータ回路INV2の出力信号は増幅され、ノードN5の電位はVDD近くなる。

第44図には、この発明に係る識別番号発生回路の他の一実施例の回路図が示されている。同図においては、動作に特徴があるので、それを説明するために動作状態1と動作状態2に対応した2つの回路が合わせて示されている。

- 05 前記第43図で説明した実施例のように、2つのCMOSインバータ回路INV1、INV2の論理しきい値差により識別情報を得るものでは、その差が小さい時でも出力信号の再現性を保証することが重要である。特にPチャンネル型MOSFETのしきい値電圧（CMOSインバータ回路の論理しきい値ではない）は、近年のデバイスで顕著になった
- 10 NBTIという現象により変動することを考慮することが必要である。つまり、NBTIという現象により上記の2つのCMOSインバータ回路のうち、一方のCMOSインバータ回路のPチャンネル型MOSFETのしきい値電圧が変動して、かかるCMOSインバータ回路の論理しきい値も影響を受けて、上記2つのCMOSインバータ回路の論理しき
- 15 い値差が逆転したのでは、それより生成される識別情報の信頼性が低下するという問題が生じる。

- この実施例では、かかる識別番号の再現性の保証と、経時変化に対する耐性を高めるためにラッチと帰還経路を加えたものである。つまり、前記のような増幅回路を構成するインバータ回路INV5の出力信号は
- 20 、スイッチSW1を介してラッチ回路を構成する入力側のCMOSインバータ回路INV6の入力に伝えられる。このインバータ回路INV6の出力信号はインバータ回路INV7の入力に伝えられ、かかるインバータ回路INV7の出力信号がスイッチSW2を通して上記インバータ回路INV6の入力に帰還される。また、上記インバータ回路INV7
- 25 の出力信号は、スイッチSW3を介して前記インバータ回路INV1の入力に帰還される。

- 第44図の動作状態1は、識別情報を生成する動作が示されており、スイッチSW0がオン状態となってCMOSインバータ回路INV1の入力と出力とを短絡して論理しきい値電圧に対応した電圧を出力ノードN1に生成する。前記のように上記CMOSインバータ回路INV1の
- 05 論理しきい値に対応された電圧がCMOSインバータ回路INV2に入力されることにより、CMOSインバータ回路INV2の出力ノードN2には、上記論理しきい値電圧の差に対応した電圧が得られ、増幅回路を構成するCMOSインバータ回路INV3～INV5により増幅される。
- 10 インバータ回路INV1の論理しきい値がインバータ回路INV2のそれより低い時、ノードN2の電位は、INV2の論理しきい値電圧より高くなる。つづく、インバータ回路INV3、INV4、INV5によつてINV2の電位と論理しきい値の差は増幅され、ノードN5の電位はVSS近くなる。この時、ラッチ回路のスイッチSW1はオン状態に、スイッチSW2はオフ状態となり、上記オン状態のスイッチSW
- 15 1を介して増幅信号が伝えられて、インバータ回路INV6の入力ノードN6、インバータ回路INV6の出力ノードN7、インバータ回路INV7の出力ノードN8の電位は、それぞれVSS、VDD、VSSとなる。
- 20 第44図の動作状態2は、フィードバック動作が示されており、ラッチ回路のスイッチSW1はオフ状態に、スイッチSW2はオン状態となり上記状態が保持される。スイッチSW0がオフ状態にスイッチSW3がオン状態となり、ノードN8の保持電圧がCMOSインバータ回路INV1の入力にフィードバックされる。
- 25 これにより、インバータ回路INV1のゲート入力、ノードN8すなわちVSS電位となる。また、INV2のゲート入力、VDDとな

る。つまり、インバータ回路 INV 1 の P チャンネル型 MOS F E T のゲート電位は V S S である。これは、当該 P チャンネル型 MOS F E T にとって、N B T I を加速させる条件であり、この状態を長く保持すると当該 MOS F E T のしきい値（論理しきい値ではない）電圧は徐々に
05 高くなる傾向となる。必ずしも高くなる確証はないが、少なくとも低くなる条件ではない。インバータ回路 INV 1 の P チャンネル型 MOS F E T のしきい値が高くなるように変動すると、N チャンネル型 MOS F E T との関係で相対的にインバータ回路 INV 1 の論理しきい値電圧は低くなる。

10 一方、インバータ回路 INV 2 の P チャンネル型 MOS F E T についてみると、ゲート電位は V D D であり、これは N B T I の加速が起こりにくい条件であるため、インバータ回路 INV 2 の論理しきい値電圧の変化は比較的小さい。すなわち、動作状態 2 が継続されことによってインバータ回路 INV 1 の論理しきい値は低く変動し、インバータ回路 I
15 NV 2 のそれを維持するため、相対的にもとのしきい値の差が拡大されることになる。これにより、論理しきい値の差が小さい場合でも、再現性の低い識別ビットの再現性が上がり、経時変化に対し耐性の高い識別番号発生回路が実現できる。

なお、インバータ回路 INV 1 の論理しきい値がインバータ回路 I N
20 V 2 のそれより高い時、ノード N 2 の電位は、I N V 2 の論理しきい値電圧より低くなる。したがって、フィードバック動作においては、ノード N 8 は増幅されて V D D 電位となる。また、I N V 2 のゲート入力は、V S S となる。つまり、インバータ回路 INV 2 の P チャンネル型 M O S F E T のゲート電位は V S S である。これは、当該 P チャンネル型
25 M O S F E T にとって、N B T I を加速させる条件であり、前記同様にこの状態を長く保持すると当該 MOS F E T のしきい値（論理しきい値

ではない) 電圧は徐々に高くなる傾向となる。必ずしも高くなる確証はないが、少なくとも低くなる条件ではない。インバータ回路 INV 2 の P チャンネル型 MOS FET のしきい値が高くなるように変動すると、N チャンネル型 MOS FET との関係で相対的にインバータ回路 INV 2 の論理しきい値電圧は低くなる。

一方、インバータ回路 INV 1 の P チャンネル型 MOS FET にとつてみると、ゲート電位は VDD であり、これは NBT I の加速が起こりにくい条件であるため、インバータ回路 INV 1 の論理しきい値電圧の変化は比較的小さい。すなわち、動作状態 2 が継続されことによってインバータ回路 INV 2 の論理しきい値は低く変動し、インバータ回路 INV 1 のそれを維持するため、相対的にもとのしきい値の差が拡大されることになる。これにより、論理しきい値の差が小さい場合でも、再現性の低い識別ビットの再現性が上がり、経時変化に対し耐性の高い識別番号発生回路が実現できる。

第 4 4 図において、動作状態 2 が誤った状態にされてしまうことを防ぐ上で、半導体集積回路装置の電源投入毎のような起動時には、半導体集積回路装置における電源リセット回路もしくはイニシャライズ回路のような回路によって先ず第 1 動作状態が開始され、その後第 2 動作状態に移行される。これによって、インバータ回路 INV 6、INV 7 それ自体の電源起動特性にかかわらずに、適切なフィードバック動作が可能となる。

第 4 5 図には、この発明に係る識別番号発生回路の一実施例の具体的回路図が示されている。この実施例では、前記スイッチ SW 0 ~ SW 3 として N チャンネル型 MOS FET と P チャンネル型 MOS FET とが並列接続されてなる CMOS スイッチが用いられる。また、インバータ回路 INV 2 と増幅回路を構成する各インバータ回路 INV 3 ~ INV 5 の各入力端子には、CMOS スイッチと電源電圧 VDD にプルアップ

するPチャンネル型MOSFETが設けられる。

そして、フィードバック制御信号FBは、ラッチ回路のスイッチSW1～SW3の制御の他に、インバータ回路INV1の入力と出力とを短絡させるスイッチSW0をスイッチ制御にも用いられる。つまり、上記

05 フィードバック信号FBの反転信号を形成するインバータ回路INV1
0 の出力信号は、前記のようなCMOSスイッチSW1～SW3の制御
の ための他に、ナンドゲート回路G1の一方の入力に供給される。この
ナ ンドゲート回路G1の他方の入力には、前記信号ENが供給されてお
り、 ナンドゲート回路G1の出力信号と、インバータ回路INV9で形
10 成された反転信号とによってスイッチSW0の制御を行う。

この実施例回路では、かかる識別番号回路が搭載された半導体集積回路装置又は半導体チップに電源電圧が供給された状態で、信号ENがロウレベルなら、Pチャンネル型MOSFETQ11～Q15がオン状態となり、各CMOSインバータ回路の入力端子に電源電圧VDDのよう

15 なハイレベルを供給する。このとき、信号ENのロウレベルと、インバ
ー タ回路INV8による反転信号のハイレベルにより、各CMOSイン
バ ータ回路INV2ないしINV5の入力端子に設けられたスイッチが
オ フ状態になっており、各インバータ回路間の縦列接続が切断されてい
る ので、入力端子の電圧レベルは、上記MOSFETQ11～Q15の
20 オン状態に対応したハイレベルにされる。

このことは、半導体集積回路装置や半導体チップに電源供給が行われた状態で、識別番号を取り出さない状態でのCMOSインバータ回路を構成するPチャンネル型MOSFETのしきい値電圧（CMOSインバータ回路の論理しきい値ではない）がNBTIという現象により変動す

25 ることを防止する上で有益である。

上記信号ENをロウレベルからハイレベルに変化させると、インバー

タ回路INV1～INV5を縦列形態に接続させるスイッチがオン状態となり、ゲート回路G1の出力信号がロウレベルとなってスイッチSW0をオン状態にさせる。これにより、CMOSインバータ回路INV1の論理しきい値電圧と、インバータ回路INV2の論理しきい値電圧との差電圧を増幅した信号がインバータ回路INV5の出力から得られる。信号FBがロウレベルのとき、スイッチSW0がオン状態となっており、かかるインバータ回路INV5の出力信号がラッチ回路を構成するインバータ回路INV6、INV7に取り込まれる。

上記の状態では信号FBをロウレベルからハイレベルに変化させると、ラッチ回路ではスイッチSW1がオフ状態になり、スイッチSW2とSW3がオン状態となり上記取り込んだ識別情報を保持し、かつそれに対応した信号をスイッチSW3を通してインバータ回路INV1の入力に帰還させて、インバータ回路INV1～INV5の入力電圧を設定して前記のようにNBTIを逆に利用した識別番号の保証ないし安定化を図るようにする。このとき、信号FBのハイレベルによりナンドゲート回路G1の出力信号がハイレベルに戻り、上記インバータ回路INV1の入力と出力とを短絡させていたスイッチSW0をオフ状態にする。

増幅回路を構成するインバータ回路INV4、INV5等は、その入力電圧が論理しきい値電圧との差電圧が大きいので、前記のようにNBTIの影響を実質的に受けることはないと考えられる。しかしながら、インバータ回路INV2、INV3等と同じ回路構成とすることにより、半導体集基板上に回路を形成する上で同じ回路セルを用いることができるので後述するソフトIP技術を利用する上で有益となる。

第46図には、この発明に係る識別番号発生回路の更に他の一実施例の具体的回路図が示されている。この実施例は、前記第44図等にしたような1ビット別識別番号発生回路を拡張したものである。本実施例

は、少ない回路素子により 8 ビットの識別番号を生成する回路に向けられている。

この実施例では、回路図中の全ての CMOS インバータ回路の定数およびレイアウト形状は同一である。つまり、単位回路（セル）は、CMOS インバータ回路と、その入力端子に設けられた CMOS スイッチと、その入力端子と出力端子とを短絡する CMOS スイッチとから構成される。上記入力端子に設けられた CMOS スイッチにより各单位回路が縦列形態に接続される。同図には 4 個の単位回路が縦列形態に接続される。4 つの単位回路のうち初段回路には、上記 CMOS スイッチを介して電源電圧が供給される。

上記のような縦列回路が 2 つ並列に設けられ、対応する位置に配置された CMOS インバータ回路の 2 つの CMOS スイッチには、選択信号 X_0 及びその反転信号 X_0/\sim X_3 及びその反転信号 X_3/\sim が共通に供給される。これにより、上記単位回路は縦列接続されてなる信号伝達方向と、それと直交する方向にマトリックス状態に配置される。

上記 2 つの縦列回路の終段回路の出力端子には、スイッチが設けられて、いずれかの縦列回路を選択する選択信号 Y_0 , Y_0/\sim 及び Y_1 , Y_1/\sim が供給される。そして、前記のような増幅回路を構成するインバータ回路 INV_4 と INV_5 が設けられて出力端子 OUT から識別番誤出力が出力される。上記インバータ回路 INV_4 の入力には、前記のような NBTI 対策のために信号 PON により制御されてインバータ回路 INV_4 の入力端子に電源電圧を供給する P チャンネル型 MOSFET が設けられる。

第 47 図には、前記第 46 図の実施例回路の動作を説明するためのタイミング図が示されている。

1) パワーオン信号 PON がロウレベルの時、選択信号は、 $X_0 \sim X$

3はロウレベル、その反転信号 $X0/\sim X3/$ はハイレベルであり、 $Y0$ と $Y1$ はロウレベルであり、その反転信号 $Y0/$ と $Y1/$ はハイレベルである。CMOSインバータの出力はそれぞれ、 $INV00$ 、 20 及び $INV01$ 、 $INV21$ と $INV4$ がロウレベル、 $INV10$ 、 $INV30$ 及び $INV11$ 、 $INV31$ 及び $INV5$ がハイレベルである。

2) パワーオン信号 PON がハイレベルに遷移すると、選択信号 $X0$ はハイレベル、 $X0/$ はロウレベル、 $Y0$ はハイレベル、 $Y0/$ はロウレベルとなる。インバータ回路 $INV00$ と $INV01$ の入力は、電源電圧 VDD から切断され、それぞれの入力と出力が選択信号 $X0$ のハイレベル、 $X0/$ のロウレベルよりオン状態にされるCMOSスイッチにより短絡され、インバータ回路 $INV00$ と $INV01$ の出力電圧は、論理しきい値に対応した電圧となる。

インバータ回路 $INV00$ の論理しきい値 $VLT(INV00)$ とその次段のインバータ回路 $INV10$ の論理しきい値 $VLT(INV10)$ の関係が、 $VLT(INV00) > VLT(INV10)$ であれば、インバータ回路 $INV10$ の出力電圧は、インバータ回路 $INV10$ の持つ反転増幅作用により、 VSS 電位側すなわちロウレベル側に大きく振幅する。逆に、 $VLT(INV00) < VLT(INV10)$ であれば、 VDD 電位側すなわちハイレベル側に大きく振幅する。インバータ回路 $INV10$ 、 $INV11$ の出力振幅は、次段のインバータ回路 $INV20\sim INV30$ 、 $INV21\sim INV31$ でさらに増幅される。

インバータ回路 $INV30$ の出力は、選択信号 $Y0$ 、 $Y0/$ で選択されたCMOSスイッチを通り、さらに2段のCMOSインバータ回路 $INV4$ と $INV5$ からなる増幅回路を通り、出力端子 OUT に出力される。結局、 $VLT(INV00) > VLT(INV10)$ であれば、出力端子 OUT にはロウレベルが出力され、 $VLT(INV00) < VLT$

T (INV10) であれば、出力端子OUTにはハイレベルが出力される。

3) 次に選択信号が遷移し、X0がロウレベル(X0/がハイレベル)に、X1がハイレベル(X0/がロウレベル)になる。インバータ回路INV10とINV11の入力は、X1のハイレベル(X0/のロウレベル)により入力端子に設けられたCMOSスイッチがオフ状態となって前段インバータ回路INV00とINV01の出力から切断され、それぞれの入力と出力がCMOSスイッチにより短絡され、インバータ回路INV10とINV11の出力は、論理しきい値となる。インバータ回路INV10の論理しきい値VLT(INV10)とその次段のインバータ回路INV11の論理しきい値VLT(INV11)の関係が、 $VLT(INV10) > VLT(INV20)$ であれば、インバータ回路INV20の出力電圧は、インバータ回路INV20の持つ反転増幅作用により、VSS電位側すなわちロウレベル側に大きく振幅する。逆に、 $VLT(INV10) < VLT(INV20)$ であれば、インバータ回路INV20の出力電圧は、インバータ回路INV20の持つ反転増幅作用により、VDD電位側すなわちハイレベル側に大きく振幅する。

上記インバータ回路INV20、INV21の出力振幅のそれぞれは、次段のインバータ回路INV30、INV31でさらに増幅される。上記インバータ回路INV30の出力は、選択信号Y0、Y0/で選択されたCMOSスイッチを通り、さらに2段のCMOSインバータ回路INV4とINV5を通り、出力端子OUTに出力される。

結局、 $VLT(INV10) > VLT(INV20)$ であれば、出力端子OUTにハイレベルが出力され、 $VLT(INV10) < VLT(INV20)$ であれば、出力端子OUTにはロウレベルが出力される。

ここで、CMOSインバータ回路の論理しきい値の前後の大小関係と、出力端子OUTの値の対応が、上記2)と3)のケースで逆転している。これは上記CMOSスイッチにより接続されるインバータ回路の数、つまりは論理しきい値電圧差を増幅するCMOSインバータ回路の段数が異なることによるものである。

4) 次に選択信号が遷移し、X1がロウレベル(X1/がハイレベル)、X2がハイレベル(X2/がロウレベル)になる。インバータ回路INV20とINV21の入力は、前記同様にCMOSスイッチのオフ状態により前段のインバータ回路INV10とINV11の出力から切断され、それぞれの入力と出力がCMOSスイッチにより短絡され、インバータ回路INV20とINV21の出力は、論理しきい値となる。

以降の動作は、上記2)に準ずる。

5) 次に選択信号が遷移し、Xがロウレベル(X2/がハイレベル)、X3がハイレベル(X3/がロウレベル)になる。インバータ回路INV30とINV31の入力は、前記同様にCMOSスイッチがオフ状態となり、前段のインバータ回路INV20とINV21の出力から切断され、それぞれの入力と出力がCMOSスイッチにより短絡され、インバータ回路INV30とINV31の出力は論理しきい値となる。インバータ回路INV30の論理しきい値VLT(INV30)とその次段のインバータ回路INV4の論理しきい値VLT(INV4)の関係が、 $VLT(INV30) > VLT(INV4)$ であれば、インバータ回路INV4の出力電圧は、インバータ回路INV5の持つ反転増幅作用により、VSS電位側すなわちロウレベル側に大きく振幅する。逆に、 $VLT(INV30) < VLT(INV4)$ であれば、VDD電位側すなわちハイレベル側に大きく振幅する。

結局、 $VLT(INV30) > VLT(INV4)$ であれば、出力端

子OUTにはハイレベル出力され、 $VLT(INV30) < VLT(INV4)$ であれば、出力端子OUTにはロウレベル出力される。

6) 次以降の遷移においては、選択信号Y0がロウレベル(Y0/がハイレベル)で、Y1がハイレベル(Y1/がロウレベル)となり、上
05 記2)～5)に準ずる動作が行われる。これにより、 $4 \times 2 = 8$ ビット
からなる識別番号出力が行われる。

この実施例では、識別番号を生成するインバータ回路と増幅回路を兼ねていることと、読み出し動作により識別番号がシリアルに出力されるという特徴を持つ。これにより、回路の簡素化が可能となり、1つ
10 の端子からシリアルに識別番号を出力させる場合に適している。

第48図には、前記図46の実施例に用いられる単位回路の他の一実施例の回路図が示されている。この実施例は、前記のようなNBTI対策が行われる。つまり、インバータ回路の入力端子には、前記のようなインバータ回路を縦列接続するためのCMOSスイッチの他、識別
15 番号回路が非活性状態のときに入力端子を前段回路から切り離すためのCMOSスイッチが追加される。そして、入力端には入力端子に電源電圧を供給するためのPチャンネル型MOSFETが設けられる。

この実施例の単位回路では、パワーオン信号PONがロウレベルのとき、つまり電源電圧が供給されて、識別番号発生回路から識別番号を読み出さない時に、かかる信号PONをロウレベルとして、各インバータ
20 回路の入力端子を前記のような選択信号X0, X0/等とは無関係に前段回路から切り離して、Pチャンネル型MOSFETにより電源電圧VDDを供給するものである。

第49図には、この発明に係る識別番号発生回路の更に他の一実施例
25 の回路図が示されている。この実施例は、前記第46図に示した単位回路を1列に縦列接続し、バイナリカウンタとデコードを用いて選択信号

を形成するものである。つまり、バイナリカウンタによりカウントアップクロックを計数し、その計数出力を各单位回路に対応して設けられたデコーダに供給し、前記初段回路から順に選択信号X 0 (X 0 /) ないしX n (X n /) を生成する。

- 05 第50図には、この発明に係る識別番号発生回路の更に他の一実施例の回路図が示されている。この実施例は、前記第46図に示した単位回路を1列に縦列接続し、シフトレジスタを用いて選択信号を形成するものである。つまり、各单位回路に対応してシフトレジスタ(1段分)を設けて前記選択信号を順次にシフトして初段の単位回路から順に前記の
10 ような選択動作を行わせるようにするものである。

- 第49図及び第50図のいずれの実施例でも破線で囲んだものを一つの単位回路とすることで、設計や拡張、実装が容易になる。特に第50図の実施例回路においては、識別番号のビット数を拡張する場合、単位回路の縦列接続線、シフトクロック及びリセットからなる3種類の信号
15 線を連結するだけでよいので、チップ実装に関して自由度が高いため、後述するようなソフトIPに好適である。

- 第51図には、この発明が適用される半導体集積回路装置又は半導体チップの一実施例の回路レイアウト図が示されている。同図は、一般的なシステムLSIチップを模したものであり、チップ周辺部には、通常
20 I/Oセル(入出力回路)が設けられ、内蔵回路はシステムLSIの機能に応じた回路が複数個設けられる。

- 第52図には、上記I/Oセルの標準的な一実施例のブロック図が示されおり、出力バッファ回路、入力バッファ回路及びこれらに対応して設けられるボンディングパッド(PAD)から構成される。上記出力バッファ回路と入力バッファ回路は、入出力制御信号により制御されて入
25 力動作又は出力動作が行われる。

第53図には、この発明に係る半導体集積回路装置又は半導体チップに設けられるI/Oセルの一実施例の回路レイアウト図が示されている。この実施例では、出力MOSFETを駆動するための出力プリバッファ回路が設けられる。前記第52図の出力バッファ回路は、上記出力プリバッファ回路と出力MOSFETにより構成される。

ワイヤボンディングのためにボンディングPADは、比較的大きな占有面積を持って形成される。これに適合するように出力MOSFET及び出力プリバッファ回路及び入力バッファ回路がレイアウトされる。これにより、ボンディングパッドのピッチに対応してI/Oセルを効率よく配置させることができる。

このようにI/Oセルは、比較的大きな占有面積を持つようにされるので、出力プリバッファ回路又は出力MOSFETの一部に斜線を付したように前記実施例に示したような1ビット識別番号発生回路を嵌め込むようにすることができる。

第54図には、この発明に係る半導体集積回路装置又は半導体チップに設けられる出力バッファ回路の一実施例の回路図が示されている。この実施例では、出力バッファ回路に前記1ビット識別番号発生回路が付け加えられる。

この実施例では、識別番号回路イネーブル信号が活性化した時（その時、正規の出力イネーブルは非活性）、正規出力バッファ回路に並列に設けられたバッファから1ビットの識別番号を出力する。このバッファは、駆動能力が小さくてもよいから正規回路の出力MOSFETに比べて小さいサイズのMOSFETで足りる。この構成においては、識別番号を出力するための特別な出力端子が不要となり、半導体集積回路装置又は半導体チップに設けられた多数の入出力端子又入出力パッドを利用して多ビットからなる識別番号を取り出すようにすることができる。

第55図には、この発明に係る半導体集積回路装置又は半導体チップに設けられる出力バッファ回路の他の一実施例の回路図が示されている。この実施例でも、出力バッファ回路に前記1ビット識別番号発生回路が付け加えられる。この実施例では、正規出力バッファ回路を利用して
05 識別番号が出力される。つまり、出力プリバッファ回路にゲート回路を追加して正規出力と識別番号とを選択的に出力させるようにするものである。識別番号回路イネーブル信号は、LSIの専用ピンから生成されてもよいし、特別のDFT機能によって生成されてもよい。このことは、前記第54図の実施例でも同様である。

10 近年、ロジックLSIにおいてJTAG (Joint Test Action Group) の採用が広がっている。JTAG規格の中にも、LSIの識別番号を登録し、読み出すIDCODEという機能がある。しかし、ビット数が32ビットと少なく、しかも各ビットがデバイス及び製造メーカーなどを識別するようビット構成が細かく規定されているため、個々のチップの
15 識別番号として使うことはできない。

第56図には、この発明に係る半導体集積回路装置の一実施例の概略構成図が示されている。この実施例ではJTAGのインターフェイスを利用して識別番号の出力を行うように工夫されている。

JTAG対応デバイス（半導体集積回路装置）には、半導体集積回路
20 装置本来の機能を行うための内蔵ロジックの他に、バウンダリスキャンレジスタ、インストラクションレジスタ、オプションレジスタ及びバイパスレジスタと、これらを制御するTAPコントローラによって構成されるテストロジックが内蔵される。

テストロジックに対する命令やテストデータ、テスト結果のデータな
25 どの入出力を行うシリアルインターフェイスは、TAP (Tset Access Port) と呼ばれ、5本の信号線を持っている。この信号線を外部のホス

トコンピュータ等で制御することによりJTAGテストが実施される。

第57図には、この発明に係る半導体集積回路装置の基本的にJTAGセルの一実施例のブロック図が示されている。この実施例では、JTAGのバウンダリスキャンレジスタを構成するセルに1ビット識別番号発生回路が組み込まれる。JTAGセルは、前記第51図等のI/Oセルに組み込まれることもあれば、内蔵ロジックに組み込まれることもある。

バウンダリスキャンレジスタのセルに、内蔵ロジックからの信号と1ビット識別番号発生回路で生成した識別情報とを切り替えて入力させる回路を付加することより、バウンダリスキャンレジスタのシフト動作を利用したシリアル出力を行うようにすることができる。

第58図には、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の一実施例を説明するための構成図が示されている。

この実施例では、LSIを3つ(A~C)、それぞれのJATGセル(バウンダリ・スキャン・レジスタ)が7個、7個、9個とし、各セル中にデータの流れを示すためにデータの番号の数字が付されている。そして、同図には、代表としてLSI-Bに搭載された識別番号発生回路(ID-ROM)からの識別番号を読み出す動作の例が示されている。

状態1は、初期状態でありJTAGでの動作状態が示されている。

状態2は、例えばJTAGのプライベート命令により、LSI-BのTDOが、JTAGセルから切り離され、代わって識別番号発生回路ID-ROMに接続される。

状態3では、JTAGのシフト命令により、識別番号発生回路ID-ROMがシフト動作を行って識別番号が、逐次TDOから出力される。同図においては3ビットの識別番号情報(I、II、III)が送り出された

状態を示している。なお、各LSI内のJTAGセルは、通常と同じく右へシフトしてLSI-Cを通してLSI-Bの識別番号が出力されることになる。

05 この識別番号を取り出した後は、図示しないけれどもプライベート命令モードから通常自動モードに戻り、TDOがJTAGセルに接続される。上記の動作では、LSI-BのJTAGセル情報⑨、⑩、⑪は欠落するが、必要ならその後に通常モードでシフトを繰返すことでセル情報⑨、⑩、⑪をセットすることができる。

10 第59図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図が示されている。前記第58図の実施例と異なるのは、状態3において、LSI-CのJTAGセルのみがシフトしていることである。これにより、前記第59図の実施例において生じたLSI-BのJTAGセル情報⑨、⑩、⑪の欠落がなくなり、あ
15 かつたかもID-ROM情報がLSI-BとLSO-CのJTAGセル情報の間に挿入された結果とすることができる。

第59図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図が示されている。この実施例の識別番
20 号発生回路(ID-ROM)は、前記第57図に示した識別番号発生回路に対応している。

状態1は初期状態である。

状態2では、例えばJTAGのプライベート命令により、1ビット識別番号発生回路の情報をLSI-BのJTAGセルに転送する。この時
25 、LSI-BのJTAGセル情報⑨⑩⑪は上記の識別情報の転送動作によって置き換えられるので破壊される。

状態3では、JTAGのシフト命令により、ID-ROMの識別番号が、逐次LSI-BのTDOから出力される。

第61図は、この発明に係る半導体集積回路装置のバウンダリスキャンレジスタのシフト動作を利用した識別番号のシリアル出力動作の他の一実施例を説明するための構成図が示されている。この実施例においては、識別番号専用のシフトレジスタ（IDレジスタ・セル）が組み込まれたものである。

状態1は初期状態である。

状態2では、例えばJTAGのプライベート命令により、LSI-BのTDOは、JTAGセルから切り離され、別番号専用のシフトレジスタの先頭に接続される。また、識別番号専用のシフトレジスタの最後尾は、LSI-BのJTAGセルの先頭が接続される。この時同時に、識別番号専用のシフトレジスタには識別番号がセットされる。

状態3では、JTAGのシフト命令により、ID-ROMの識別番号が、逐次LSI-BのTDOから出力される。同時に、LSI-AのJTAGセル情報が、LSI-BのJTAGセル情報と識別番号専用のシフトレジスタにシフトインされる。

図示しないけれどもさらにシフトをつづけ、LSI-Bの全ての有効なJTAGセル情報がシフトアウトされた後、初期状態に戻す。

第62図には、この発明に係る識別番号発生回路の更に他の一実施例の回路図が示されている。この実施例は、前記のようなCMOSインバータ回路INV1とINV2の論理しきい値電圧差を増幅回路で増幅した識別情報を、ナンドゲート回路からなるラッチ回路に保持させる。つまり、第1書き込み信号WRITE1のハイレベルより、上記インバータ回路INV1とINV2の論理しきい値電圧差に対応した2値の識別情報をラッチに入力する。

次に、上記第1書き込み信号WR I T E 1をロウレベルにして、上記2値の識別情報をラッチ回路に保持させるとともに、上記インバータ回路I N V 1、I N V 2及び増幅回路からなるインバータ回路列には、入力段のインバータ回路I N V 1の入力にプルアップM O S F E Tで形成されたハイレベルを供給する。

次に、第2書き込み信号WR I T E 2と高電圧V P Pとを用いて上記ラッチ回路の保持情報を、例えばヒューズ（F U S Eや、E E P R O M等からなる）不揮発性のプログラマブルデバイスに書き込む。そして、識別番号を必要とするときには、信号R Dによりプログラマブルデバイスをアクセスして上記書き込まれた識別番号をリードデータとして出力させる。

この構成は、上記第1書き込み信号WR I T E 1でのインバータ回路I N V 1とI N V 2の論理しきい値電圧差に対応した識別情報が別の不揮発性回路に記録されるので、前記のようなN B T Iの影響を受けることなく、識別ビットの再現性を維持し、経時変化に対しても耐性の高い識別番号発生回路を得ることができる。

以上の実施例のようにC M O Sインバータ回路の論理しきい値のバラツキを用いた識別番号発生回路では、各素子のしきい値の大きさの順番を識別情報の源としている。

第63図及び第64図に4つの識別番号の例が示されている。第63図は、それらのしきい値の順位をグラフ化したものであり、第64図において、被識別番号の素子（C M O Sインバータ回路）は、16個の素子の中で最も順位が高く、素子10は最も順位が低い。これは、素子1の論理しきい値が最も高く、素子10の論理しきい値が最も低いことを意味している。さて、この素子1と素子10に注目すると、素子1に最も順位に近い素子は素子5であり、素子10に最も順位に近いものは素

子 9 である。

本願発明に係る識別番号発生回路では、CMOSインバータ回路の論理しきい値のバラツキ方を順位化しているので、例えば素子 1 と素子 5 の間にどれくらいの論理しきい値電圧の差が存在するかは不明である。

05 同様に素子 10 と素子 9 の間についても不明である。また、それらの差が極めて僅かである場合、試験条件などで素子 1 と素子 5 順位が入れ替わる可能性がある。しかし、素子 1 と素子 10 が入れ替わる可能性は極めて低いものと考えられる。それは、第 63 図のグラフからも理解することが容易である。

10 照合時に取得される被識別番号というのは、過去において少なくとも 1 回以上取得され、データベースに格納されており、被識別番号と非常に類似した形で存在しているはずである。類似とは、前述のように、本願発明の識別番号発生回路において、経時変化等の影響を受けて完全に識別番号が再現されない場合を考慮したものである。このように一部に C
15 MOSインバータ回路間でのバラツキ方を順位が入れ替わっても上述のように、第 64 図の例では、少なくとも素子 1 と素子 10 の順位に関しては、過去に取得された識別番号も最新の被識別番号もその大小関係は変化していないことが容易に推定できる。

第 65 図には、この発明に係る識別番号発生回路で生成された識別番号の高速識別番号照合（検索）アルゴリズムの一実施例を説明するためのフローチャート図が示されている。第 66 図には、それに対応した構成図が示されている。

①被識別番号を読み込みステップでは、“0”と“1”からなる前記
1 ビット識別番号発生回路においてそれぞれから生成された連続データ
25 である。

②順位解析ステップでは、上記データを順位を表わす数字に変換する

。つまり、前記第 6 4 図のような 1 ビット識別番号発生回路の順位が数字に変換される。

③最大最小素子抽出ステップでは、順位を解析して、最大順位の素子と最小順位の素子の番号を抽出し記録しておく。

05 ④において管理台帳から、登録済みの識別番号を一つ取り出す。

⑤において、上記の登録済み識別番号の中の、上記で記録した最大と最小の素子番号にあたる素子番号の順位を取り出す。例えば、前記第 6 4 図の例では、識別番号 1 は最大が 1、最小が 1 0 であるが、1 と 1 0 という数を比較すると大小の関係が逆転している。これは、順位がバラツキなどによる変動をはるかに越えた現象であるため、被識別番号を識別番号 1 は異なるチップから採取されたものと容易に推定できる。よって、識別番号 1 は、不適合と判定され、その後の詳細な照合検査を省略する。

10

上記において適合と判定されたものは、⑥と⑦において詳細検査を行う

15 。基本的に、前記実施例と同様であるため割愛する。最も類似性の高い識別番号を一致候補とする。なお、⑤において、順位の大小比較では確率的に適合と、不適合の発生する割合は 5 割ずつであるから、詳細検査が省略される効果もほぼ 5 割である。

そこで、この実施例では、1 組の大小比較であるが、これを 2 組とすることで、上記効果をさらに 2 倍にすることが期待できる。ただし、これを増やすと、大小比較の処理自身が増大し効果を押し下げる可能性もあるので、識別番号の桁数や、識別番号の総母数との兼ね合いで選択することが望ましい。

20

第 6 7 図には、この発明に係る識別番号発生回路を組み込んだ半導体チップの回路設計方法の一実施例のフローチャート図が示されている。

25 この実施例のような回路設計ソフトウェアをデザイン企業や製造専門企

業に提供する。あるいは、同一機能をE D Aベンダのツールに組み込むようにするものである。

(1) メニューをプルダウンして選択する。

05 (2) メニューデータが生成される。2回目以後は、このメニューデータを指定するだけで所望のI Pを選択できる。

(3) メニューデータを分析し、違反などを検出する。

(4) メニューデータに従い、必要な情報を、ローカルデータベースから取り出す。ローカルデータベースにない最新の情報は、インターネット等のネットワークを介し、製造専門会社のデータベース等から取得する。
10

(5) データベースから収集した情報をもとに、ソフトI Pに必要なデータを生成処理を行う。

(6) ソフトI Pが生成可能か判断する。不可能であれば、ハードI P設計を選択する。

15 第68図には、この発明に係る識別番号発生回路を内蔵したL S I設計方法の一実施例のフローチャート図が示されている。この実施例では、特に制限されないが、特定用途向けL S I (A S I C) の設計フローに向けられている。

論理合成ツールは、前記第67図に示した設計フローでのソフトI P
20 生成の判断結果により、真理値表やR T L記述、状態遷移図などからゲートレベルの論理回路(ネットリスト)を生成する。また、図示していないが、多くの場合、R T Lなどは、V H D LやVerilog H D L等の機能記述言語をもとに生成される。論理合成の際必要とされるのは、セルライブラリ情報であり、これにはトランジスタレベルの接続情報や、
25 ディレー情報、レイアウト情報などが含まれている。また、通常R T Lなどには、制約情報と呼ばれるタイミング誤差許容値やレイアウト配置

間隔、最大信号配線長などの情報が付加されている。D F T ツールはゲートレベルの論理回路に L S I の検査に有効な診断論理を付加し、自動配置配線ツールによって最終的なレイアウトデータを作成する。

セルライブラリに登録されているセルの種類は、インバータやN A N D (ナンド)、フリップフロップなどの最も基本的な回路構成要素が主なものである。一般にセルライブラリのデータ、例えばレイアウト情報などは人手により作成される。しかし、規模が大きい物や、例えばメモリのように基本的な機能は変わらないがその構成がわずかつ異なる物については、自動セル生成ツールやラムコンパイラなどが用いられることがある。

ここで、本願発明でいうハード I P とソフト I P について簡単に説明する。現在、半導体産業において、特に特定用途向け L S I 設計製造においては、顧客（例えばゲーム機や自動車メーカなど）から受けた仕様をもとに、設計から製造までを 1 つの企業で行う総合企業形態と、設計だけを専業とするいわゆる L S I デザイン企業と、製造を専業とするいわゆるファンドリ企業によって分業化される形態に分類される。

また、最近では分業化の流れに乗り、I P を供給する企業（I P ベンダ）やそれらの流通市場や、標準化支援団体などが生まれている。I P は L S I の設計効率を向上する上でも重要な存在となっており、総合企業においても無視できないものとなっている。

I P には、大きくハード I P とソフト I P と呼ばれるものがある。両者の違いを、L S I デザイン企業とファンドリ企業による分業形態を対象した場合を比較してみる。L S I デザイン企業（ファブレス企業）は、顧客の仕様をもとに第 6 8 図の V H D L や Verilog H D L 等の機能記述言語を用いたデータや、真理値表や R T L 記述、状態遷移図などのデータ、制約情報などを作成する。ただし、顧客自身が、これらのデー

タまで作成しLSIデザイン企業に渡す場合もある。

次にLSIデザイン企業は、冒頭で述べた論理合成ツールを使用してネットリストを作成する。論理合成の際に、用いられる回路素子は、セルライブラリに登録されているものに限られる。それらは、製品を製造
05 する製造専門会社が認定したものであり、一般に製造会社が自ら提供するの、先に述べたインバータ回路やNANDゲート回路のような基本的なものである。

ただし実際には、製造専門会社も、自社の競争力をたかめるため、より複雑なものを提供している。しかし、製造専門会社だけで、例えばP
10 LLやSRAM、演算回路など複雑で高機能な回路を準備することは困難であるため、それらを設計し供給するIPベンダが多く登場する。IPの中でもPLLなどは、回路自身が複雑で、かつ使用するプロセスに特性が大きく依存するため、IPベンダは一般的にハードIPという形で供給する。ハードIPは、簡単にいうとセルライブラリに、IPベン
15 ダが設計したセルレイアウトが登録されるものである。それ故、ハードIPベンダはハードIPを供給する場合に、製造専門会社はもちろん、そのプロセス世代毎にもIPを変更し、製造会社の認定を受け、さらに各LSIデザイン企業の持つセルライブラリに登録してもらわなければならない。

20 一方、ソフトIPの場合、IPベンダは、先のVHDLやVerilogHDL等の機能記述言語を用いたデータや、真理値表やRTL記述、状態遷移図などのデータ、制約情報などを、LSIデザイン企業やファブ
ドリ企業、あるいはその上の顧客に供給するのみである。そのため現在、特定用途向けLSIの市場では、ソフトIPの普及が先行しており今
25 後もその優位性は変わらないと考えられる。また、ラムコンパイラもあくまでセルライブラリの部品の作成を自動化するものであり、ハードI

Pの範疇に含まれる。

上記のように、ハードIPによる供給形態は、IPの流通や普及の点で劣り、さらにハードIPを供給する側にもプロセス毎の設計変更などの負担などの短所がある。対して、この実施例の識別番号発生回路、特に第49図や第50図に示したような回路は、その心臓部でさえインバータとパストランジスタのみであり、むしろその他は標準的な論理素子で構成されているためソフトIP化が比較的容易である。例えば、セルライブラリにCMOSインバータ回路（当然ある）とCMOSスイッチ（パストランジスタ）が既に登録されていれば、RTL記述のみでIPを設計企業に供給できる。仮にパストランジスタが標準で登録されていない場合、新たにパストランジスタのみを登録する必要があるが、その規模は極めて小さい。

また、自動配置配線処理は配置や配線の結果が不規則であることが弱点として上げられるが、例えば、2つの識別用インバータが極端に離れた位置に配置されることも起こり得る。すると、回路図の信号Pと信号Pの配線長が長くなり、周辺からの雑音の影響を受けやすくなる。これを低減するために、配置配線処理において、配置や信号線長の制限を与えることが有効である。また、この部分だけを、セルライブラリに登録された標準セルを組み合わせる新たなセルとして登録することも有効である。むしろカウンタやデコーダなどは、自動配置配線などで作成した方が効率的である。

近年、LSIにID番号や各種の固有情報（以降、これを一般情報と呼ぶ）などを組み込む応用例が増えている。例えば、製品の製造ライン番号や、製造週番号、製品のグレード、製造管理情報であったりする。これらは、一般にレーザフューズやEPROMなどを用いてID番号をプログラムしている。このプログラムにおいて、当然レーザプログラム

のミスはあってはならないし、しかも、レーザフューズ方式は、ほとんどウェハ状態で加工されるが、レーザ工程以降の工程で変化してもならない。その情報が、生命・財産にかかわる内容のものであればなおさら重要である。

- 05 しかし、プログラム後ダイシングされチップがひとつひとつばらばらな状態では、レーザプログラム時に書き込まれた一般情報は読み出すことはできても、それが正しいかどうかを確認することは、非常に困難であるという重要な問題がある。その対策として次のようなものが考えられる。一つには、パリティビット付加し、データの変動を検出するものである。パリティ検査のための機能は、チップに内蔵してもよいが、測定器において判定してもよい。

しかし、厳密な意味で、チップに書き込まれているデータを確認したことにはならない。

- 15 他の一つは、読み出した情報の信頼性を確保するため、何らかの方法で読み出した一般情報を記録する仕掛けを作り、情報の重複を確認する方法である。この方法では、最悪重複したチップを全て不良品扱いとすることで製品の事故は防ぐことができる。しかし、現実には複数のチップの読み出し情報が重複した場合、どれが正しいものであるか確認は困難であり、チップの管理及び処置が複雑となる。

- 20 つまり、先に上げた問題の本質的な解決方法は、いったんばらばらにされたチップを識別し、そのチップの正しい情報を知り得て、それと比較することであると考えられる。

- 25 そこで、チップに固有の識別番号を付け加え、その情報を元に正しい番号をデータベース等から得るという発想も考えられるが、それ自体を同じレーザフューズで書き込んでも、それはたちごっこになるだけである。

一方、情報論（例えば、情報論：瀧康夫著、岩波新書刊）によれば、符号間の距離（例えばハミング距離）が大きければ、それらに雑音が乗っても、元の情報の変化の検出とさらに修復も可能であるということが周知（例えば、誤り訂正符号とその応用：映像情報メディア学会編、オーム社刊）である。ここでは符合とは、レーザフューズで書き込んだ情報であり、雑音とはその一部が変化したことに相当する。

つまり、上記固有情報に、符号間の距離の大きなチップ固有識別番号を加えることで、全体の情報の一部が多少変化しても、他の識別番号すなわちチップと十分区別できるようになる。そこで、本願発明に係る識別番号発生回路の利用が有効となるものである。

第 6 9 図には、この発明に係る識別番号発生回路内蔵の半導体チップを用いた半導体集積回路装置の製造方法の一実施例のフローチャート図が示されている。

一般情報とチップに符号間の距離の大きな固有の識別番号を合わせた情報（以降、これを管理情報と呼ぶ）を指示されたウェハ上のレーザフューズにプログラムする。固有識別番号は、内蔵の識別番号発生回路で生成されたものが用いられる。

一般情報と固有識別番号は、管理情報として、データベース上に保存され管理される。管理情報は、例えば一般情報+チップの識別番号から構成される。

半導体集積回路装置又は IC カードの組み立て後の検査工程では、管理情報を読み出してデータベースを参照し同一の管理情報があるか確認する。同一の管理情報がデータベース内に存在すれば、レーザによるプログラムは正しいと判定される。同一の管理情報がデータベース内に見付からない時は、最も類似した管理情報を抽出する。次に、読み出した情報と抽出した管理情報のそれぞれの一般情報どうしを比較する。

この読み出しの際、一般情報の部分については、例えば電源電圧条件を変えるなど複数の条件で読み出し、固有識別番号については1回のみ読み出すことで、短時間にデータの書き込みが十分安定しているか確認することができる。なお、試験中は高速にデータベース上の管理情報との照合を行う必要がある。例えば、検査が始まる前に予め参照される管理情報のデータを試験装置に付随するワークステーション等に格納しておいてもよい。

上記の方法によって、プログラム情報の迅速で正確な確認が出来るようになる。しかも、固有識別番号の書き込みをレーザフューズ等で逐一行うと、加工時間とチップ面積の増加をもたらす可能性があるが、本願発明に係るCMOSインバータ回路論理しきい値のバラツキを用いたチップ識別番号発生回路を用いることで、簡単にしかも自動的に固有識別番号を得ることができる。

つまり、レーザプログラムに先立つ、プローブ検査等で取得されたチップ識別番号および、ロットやウェハ等の情報を、管理情報データベースに登録する。指示されたウェハ上のチップに対応する管理情報をレーザフューズへ書き込むというものである。

第70図には、この発明に係る識別番号発生回路を搭載した半導体チップを用いた半導体集積回路装置の組み立て工程（いわゆる後工程）の一実施例のフローチャート図が示されている。

- (1) プローブ検査では、識別番号発生回路によるID番号、ロット名、ウェハ番号、チップ番号等をデータベースに登録する。
- (2) 登録時に既に登録されたID番号に類似した新たなID番号が発生した場合、何らかの警告を発しチップを処置する。
- (3) 組み立て試験以降の工程では、既にチップはダイシング工程にてバラバラに分かれているため、識別番号発生回路によるID番号と、工

程番号、当該工程ロット名をデータベースに登録する。

- 05 (4) 本願に係る識別番号発生回路によって取得できる I D 番号は、組み立て工程の機械的、熱的ストレスやバーイン工程の電氣的ストレス等で変動する可能性があるため、最新検査工程で取得された I D 番号をデータベースに格納する。

(5) 後工程内のチップ追跡の必要がない場合、最終出荷選別工程でのみ識別番号発生回路による I D 番号を取得しデータベースに登録する。

(6) 各試験工程で、不良になったチップの既取得 I D 番号情報は、削除するか印を付けて以降の検索処理時間を軽減する。

- 10 (7) マーキング工程では、製品を製造したラインを示す記号や番号、製造した時期を示す年番号や週番号が刻印されることがある。個別サンプルの識別を行う上で、これらの刻印は検索のための情報となる。そこで、出荷選別 2 では、識別番号発生回路による I D 番号とこれらの刻印情報をデータベースに登録する。共通の刻印情報を持つチップでは、識別番号発生回路による I D 番号は全て独立である必要があるが、異なる
15 刻印情報を持つチップでは、識別番号発生回路による I D 番号に同一あるいは類似しても構わない。すなわち、各チップに搭載する識別番号発生回路による I D 番号の識別能力を抑えることが可能で、識別番号発生回路の規模および識別番号のビット数を削減できる。

- 20 (8) 各工程毎の識別番号発生回路による I D 番号の登録時に、I D 番号をもとにロットの混入・混合を検出し、何らかの警告を発する。

- この実施例では、全ての工程とデータベース間がオンラインで直結しているが、現実には立地条件により通信回線による接続が困難である場合や、通信速度が遅い、バッチ処理が介在するなどの理由でリアルタイム性に欠けるような状況が発生する。そのような場合、いったんローカルなデータベースに蓄える。さらに、即時性が不要でない場合、記憶媒
25

体に保存し、データベースまで輸送するか、現物と一緒に、次工程に搬送する。

各工程の試験装置や処理計算機などの制約などによって、データベースに集められるデータの形式が異なる場合がある。そのような場合、データフォーマットのを変換する処理を、データベース登録直前に挿入すればよい。

第 7 1 図と第 7 2 図には、この発明に係る識別番号発生回路のビット数を減少させる方法の一実施例の構成図が示されている。第 7 1 図には、識別番号発生回路のビット数を低減させる登録方法、第 7 2 図には、その照合方法が示されている。

世の中に半導体集積回路装置等の製品が出荷されユーザで使用中に不良となった場合に、返品され不良原因調査を行う場合にも本願発明に係る識別番号発生回路が有効に機能する。この場合には、出荷時に識別番号を管理するデータベースへ登録し、もし不良で製品が戻ってきた場合にその製造過程のデータを調査する。このときに、不良品がどの管理番号の製品であるかを照合する必要がある。製品の出荷数が多ければ、以下のような状況が発生する。

識別番号の識別可能数は識別番号発生回路のビット数に依存しておりビット数が多ければ識別の確度は向上するが、それだけ識別対象データ数は多くなる。製品の識別を行う上で、識別対象数が多くなれば、比較照合するためにデータベース上の多くのデータを読み出し、かつ照合演算を実行する必要がある。そこで、比較照合処理の時間やシステムへの負荷を軽減するために、第 7 1 図のように識別番号グループを示す情報を別途定義する。これにより第 7 2 図のように照合データ数の範囲を、少なくすることができる。

このような識別番号のビット数を低減させるための識別番号グループ

は、一般的なロット、マークと呼ばれている情報が使用される。この情報と識別番号との組み合わせで製品がユニークに管理できるように管理することができる。また、出荷後の製品を管理するだけのデータベースにおいては、不良となったチップの情報を削除し管理コストを削減する
05 。の識別グループでデータベース上の膨大なデータの中から照合対象を減らし、処理時間、システム負荷を減らすことができる。

第 7 3 図と第 7 4 図には、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用した検査方法を説明するための構成図が示されている。第 7 3 図は、識別番号取得工程が示され、第 7 4 図は、
10 検査工程が示されている。

第 7 3 図に示した製造過程の終了に近い段階で、識別番号発生回路はその機能が利用できるため、何回かの検査工程の前に識別番号取得工程を設け、まず最初に、製品の識別番号と管理番号・品種などの後の工程で必要となるデータをデータベースへ登録する。ただし、識別番号発生
15 に関する最低限の動作が可能なデバイスに限られる。

第 7 4 図に示した以降の各検査工程では、まず製品の識別番号を読み出し、データベース上の識別番号と照合し管理番号を取得する。この管理番号から品種や検査仕様のデータを一意に決定し、検査装置へ転送する。検査装置は個々の製品毎に与えられた検査仕様で検査を行うことができる。この構成の利点は、各検査工程では、品種や検査仕様あるいは
20 その他の付随データを最初の識別番号取得工程のみでデータベースに与えれば、その後の各検査工程あるいは製造工程において与える必要がないため生産の効率を上げることができる。

第 7 5 図には、この発明に係る半導体集積回路装置に搭載された識別
25 番号発生回路を利用し各検査工程で半導体チップ毎の特性データの相関を管理する方法を説明するための構成図が示されている。

半導体製造における各検査工程で得られる特性データ（測定値）は、各工程で得られるが、その特性データの変化を分析することがある。これらの特性データを管理するために識別番号を使用しチップ毎に各工程毎の特性データをデータベースに格納する。この時、データベースの識別番号も、最新の工程で得られた識別番号で更新することで回路の動作変化による識別番号の変化をデータベースに取り込む。

従来は、プローブ検査と完成品検査との相関は、ロット単位に複数チップをグループとして相関を取るしかなかった。今回は各チップ毎に各工程間の特性データ変化の相関を取るができるため分析の精度を上げることができる。

第76図には、この発明に係る半導体集積回路装置に搭載された識別番号発生回路を利用し前工程でウェハを自動で管理する方法を説明するための構成図が示されている。

T E G上にウェハを識別するための識別番号発生回路を設け、最初の配線工程で、その機能が完成する場合に、個々のウェハをその識別番号で管理することができる。これによりウェハに管理用のタグを付けることが不要であるし、ウェハの製造工程を管理するシステムへの情報入力も不要になる。

識別番号発生回路の機能が有効となり、かつ、それ以降の各工程でそのウェハが処理される製造装置・検査装置に識別番号読み取り機構が付いていれば、読み取った識別番号でデータベースにアクセスすることで、自動でそのウェハの情報を装置に設定することが可能である。また、そのウェハを処理したときの製造条件や検査データをデータベースへ自動で格納することもできる。

識別番号読み取り機構は、パソコンから制御可能な電源と識別番号発生回路を機能させるための信号生成とその出力（識別番号）を読み取れ

るボードとソフトウェアで構成できる。TEGと信号の入出力するためのプローブも必要である。

第77図には、この発明に係る半導体集積回路装置に搭載された識別番号発生回路の識別番号の格納・検索方法を説明するための構成図が示されている。

この実施例では、識別番号の上位Nビットを取り出しインデックスとしてデータベース上のテーブルフィールドに格納・管理する方式を採用することにより検索スピードの向上、システムへの負荷低減が行える。比較対象の識別番号とデータベース内の識別番号群との比較方法で、比較対象の識別番号の上位ビットをまず抽出し、この値をデータベース上のインデックス値と一致する条件でテーブルを検索する。次に、ここで得られた識別番号群に対して1件ずつ識別番号距離を求めて最小のものを一致識別番号と判定する。これにより、テーブル上の全件の識別番号を比較することなく該当データを見つけ出すことが可能である。

第78図には、この発明に係る半導体集積回路装置に搭載された識別番号発生回路の識別番号の格納・検索方法の他の例を説明するための構成図が示されている。

識別番号の検索範囲を限定してデータベースの識別番号群と比較する方式を採用することにより検索スピードの向上、システムへの負荷低減が行える。比較対象の識別番号とデータベース内の識別番号群との比較方法で、比較対象の識別番号に対して揺らぎによる許容範囲の上限・下限をデータベース検索条件としてテーブルを検索する。次に、ここで得られた識別番号群に対して1件ずつ識別番号距離を求めて最小のものを一致識別番号と判定する。これにより、テーブル上の全件の識別番号を比較することなく該当データを見つけ出すことが可能である。1回目の許容範囲の上限・下限で該当せずにデータが検索できなかった場合は、

上限・下限を緩めて再度検索処理を行っていく。

第 7 9 図には、この発明に係る識別番号発生回路を利用した半導体集積回路装置の救済方法の一実施例の構成図が示されている。

- ①本体チップのプロープ検査が実施される。この検査により D R A M 等の救済データを識別番号発生回路から取り出した識別番号とともにホストコンピュータに送る。
- ②ダイシングして完全動作品と救済可能品のみを取り出す。
- ③救済データ専用 E E P R O M のプロープ試験を実施する。
- ④正常動作品をダイシングし、ストックして置く。
- ⑤本体 L S I と救済データ専用 E E P R O M を同一モジュールに実装する。
- ⑥実装済モジュールの本体 L S I の識別番号を読み出し、対応する救済データを救済データ専用 E E P R O M に書き込む。
- ⑦選別試験を行う。
- ⑧良品 L S I は出荷し、不良 L S I のうち再度救済可能なものはステップ前記⑥に戻り、対応する救済データを救済データ専用 E E P R O M に書き込む。

これにより、半導体集積回路装置の救済が簡単にしかも合理的に行うようにすることができる。

- 20 なお、半導体集積回路装置の救済の他にも上記識別番号を利用した検査コストの低減が可能である。半ウェハ上に半導体チップが形成された時点で行われるプロープ試験において、例えば、フラッシュメモリのような半導体チップでは、同じ回路機能で動作電圧が 3. 0 V、2. 5 V 及び 1. 8 V のように異なるものを別品種として製造するものがある。

- 25 このとき、1. 8 V に対応した電圧設定によりテストを実施し、正しくメモリ動作が行われるか否かの判定が行われる。この判定により良品

とされた半導体チップには、その識別番号に1. 8 V動作確認の電圧情報が記録される。動作確認の情報は、半導体チップそれ自体に不揮発的に書き込み保持される。そのために、半導体チップ内には、フラッシュメモリからなるような管理メモリが設定される。

- 05 上記1. 8 Vで不良となったチップについては、2. 5 Vに電圧設定してメモリ動作が行われるか否かの判定が行われる。この判定により良品とされた半導体チップには、その識別番号に2. 5 V動作確認の電圧情報が記録される。そして、上記2. 5 Vで不良となったチップについては、2. 5 Vに電圧設定してメモリ動作が行われるか否かの判定が行
- 10 われる。この判定により良品とされた半導体チップには、その識別番号に3. 0 V動作確認の電圧情報が記録される。この3. 0 Vで不良となったチップは不良チップとして廃棄される。

- この実施例においては、例えば上記1. 8 Vで動作するものとされた半導体チップについて、2. 5 Vや3. 0 Vでの動作試験を行うことなく、2. 5 Vや3. 0 Vでの動作が可能なものとして扱われる。同様に、
- 15 上記2. 5 Vで動作するものとされた半導体チップについて、3. 0 Vでの動作試験を行うことなく3. 0 Vでの動作が可能なものとして扱われる。このため、1. 8 Vで動作するものとされた半導体チップを2. 5 Vや3. 0 Vでの動作させたときに不良となる可能性を持つが、その確率は小さいと考えられるので逐一各電圧での動作を行うことよりもそれを省略してテスト時間の短縮化を図った方が全体としての製造のコ
- 20 ストの低減が可能になる。

- そして、フラッシュメモリ単体として組み立てるとき、あるいはマイクロプロセッサ等と組み合わせて1つの半導体集積回路装置として
- 25 組み立てられるとき、上記識別番号からホストコンピュータに記憶された動作電圧情報を得て、適合するものが組み合わられる。このとき、2

． 5 Vで動作する半導体集積回路装置は、前記 1． 8 Vの動作確認のチップも用いることができ、 3． 0 Vで動作する半導体集積回路装置は、前記 1． 8 Vと 2． 5 Vで動作するチップも用いることができる。

第 8 0 図は、この発明に係る識別番号発生回路を備えた半導体集積回路装置の更に他の実施例のレイアウト図であり、第 8 1 図は第 8 0 図の部分拡大レイアウト図である。 第 8 0 図の半導体集積回路装置は、多くの一般的な半導体集積回路装置と同様に、それを構成する半導体チップのほぼ中央に内蔵回路ないし内部回路が配置され、その周辺に外部との信号の授受のための複数の入出力セル（I/Oセル）が配置された構成を採る。

半導体チップの周辺部の 4 つの角は、一般的な半導体集積回路装置と同様に、I/Oセルが配置されていない空領域となっている。この実施例ではかかる空領域を利用し、その 1 つに、識別番号発生回路 CRNC が設けられている。

識別番号発生回路 CRNC は、半導体チップ上に延長形成される信号及び電源配線層によって内蔵回路と結合される。

後で説明するように、信号及び電源配線は、切断される場合がある。かかる切断の便宜の上では、かかる信号及び電源配線層は、その数が少ない方が望ましい。そこで実施例では、識別番号発生回路と内蔵回路のインターフェースのための配線は、該識別番号発生回路のための電源配線（VDD、VSS）と、リセット信号（RES）、クロック信号（CLK）、識別番号出力信号（OUT）のための 3 つの信号配線とからなるような少ない数の配線から構成される。第 8 1 図の部分拡大図では、比較的太い線によって電源配線 VDD、VSS を表示し、比較的細い線によってリセット信号、クロック信号識別番号出力信号のための信号配線を表示している。

図から明らかなように、信号配線は、実質的に電源配線 VDD、VSS によって囲まれた状態を持って延長されている。 識別番号発生回路 CRN

Cは、上記リセット信号、クロック信号の元で、前記実施例のような総当たり方式を持つての識別番号発生が可能なように構成される。識別番号発生回路CRNCの周囲の空領域上には、第81図のように、かかる回路CRNCのリセット信号(RES)、クロック信号(CLK)、識別番号出力信号(OUT)電源端子VDD、VSSにつながる電極パッドRES、CLK、OUT、VDD、VSSが設けられている。それら電極パッドは、モールドレジンのなどのパッケージ部材によって半導体チップをパッケージして構成されたような半導体集積回路装置の外部端子とされるものでなく、プローブニードルと称されるようなコンタクタに適合可能なように、半導体チップ上に構成される。

図示の識別番号発生回路CRNCからの識別番号情報は、半導体集積回路装置の電源線、内蔵回路、I/Oセルなどの径路が動作可能であるなら、I/Oセルを介する正常径路を通して外部への読み出しが可能にされる。

ここで、識別番号情報は、製品の来歴調査を含めての多くの必要性に答えられることが望ましい。識別番号情報は、場合によっては、動作不能となった半導体集積回路装置からも得られることが望まれる。

半導体集積回路装置が、不都合なことに、電源電流の異常増大、他の種々要因にによって正常動作しなくなっている場合には、モールドレジンのようなパッケージ部材が除去され、半導体チップが露出され、識別番号発生回路CRNCと内蔵回路との間の電源及び信号配線層がレーザ切断装置のような装置によって切断除去される。これによって識別番号発生回路CRNCは、上記電極パッドのみに接続された状態にされる。言い換えると、該回路CRNCは、半導体集積回路装置の内部配線ショート、内部素子破壊等から自由にされ、それ自体独立的に動作可能にされる。そこで、この状態で、上記電極パッドにコンタクタが接触され、かかるコンタクタを介

して、識別番号情報の取得が可能となる。

半導体集積回路装置が、半導体チップ上に応力緩和の狙いを持つような絶縁層及び再配置配線のような配線層を介してバンプ電極からなるような複数の外部端子を設けるところのチップ・サイズ・パッケージないしはチップ・スケール・パッケージと称されるようなパッケージ形態を取る場合
05 も、同様に識別番号情報を得ることができる。この場合、通常の外部端子を介して識別番号情報を得ることが困難なときには、バンプ電極、絶縁層の除去によって上記と同じ電極パッド、及び切断すべき配線部分の露出が行われ、配線切断除去の後に、上記電極パッドを介しての識別番号情報の
10 読み出しが行われる。

第 8 2 図は、この発明に係る識別番号発生回路を備えた半導体集積回路装置の他の実施例の構成図であり、第 8 3 図はその回路図である。

この実施例の半導体集積回路装置は、M O S F E T 等を構成する半導体領域を固定的パターンとしておき、配線により所望の機能の回路を構成する
15 ようにする、いわゆるマスタースライス方式のものとされる。半導体集積回路装置を成す半導体チップ上に設定される I / O セルの内、遊休 I / O セル、すなわち該半導体集積回路装置の機能の上からは使用されない I / O セルは、識別番号発生回路を構成するものとされる。

1 つの I / O セルは、図示のように、比較的小さい面積の出力制御回路
20 のための領域、比較的大きい面積の出力 M O S F E T のための領域（出力 M O S ）、及び入出力パッド電極（I / O P A D）を配置するための領域からなり、その全体は図示のように長方形の平面パターンを成している。

上記出力制御回路のための領域は、比較的小さい面積とされるが、所望の出力制御回路、入力回路を構成可能なように、比較的多数のゲート回路
25 、インバータ回路及び M O S F E T のようなサブ要素を持つ。出力 M O S F E T のための領域は、1 つもしくは 2 つの p チャンネル型 M O S F E T

と1つもしくは2つのNチャンネル型MOSFETとからなるような比較的少ない数のMOSFETしか持たないが、高い外部負荷駆動能力の点で比較的大きな面積とされる。

05 上記識別番号発生回路は、遊休I/Oセルにおける出力制御回路のための領域におけるサブ要素によって構成される。上記識別番号発生回路は、かかる出力制御回路のための領域における比較的多数のサブ要素によって、かかる領域に構成可能となる。

10 第83図に図示のPチャンネル型MOSFET及びNチャンネル型MOSFET、インバータ回路、NAND回路及びNOR回路は、全体として、識別番号発生回路の出力を外部に出力させるためのトライステート出力バッファ回路を構成している。かかる出力バッファ回路において、インバータ回路、NAND回路及びNOR回路は、出力制御回路のための領域におけるサブ要素によって構成され、出力MOSFETは出力MOSFETのための領域におけるMOSFETによって構成される。

15 上記遊休I/Oセルにおけるトライステート出力バッファ回路の出力は、同セルに設けられる入出力パッド電極(I/OPAD)に結合される。言い換えると、図示の入出力パッド電極は、識別番号情報専用の出力電極とされる。

20 上記入出力パッド電極は、半導体集積回路装置における、通常はNC(Non Connection)ピンと称されるような半導体集積回路装置の空ピンないしは空き端子に、結合される。

この実施例によれば、図中に識別番号回路イネーブルと標記されているイネーブル信号がハイレベルのような有意レベルにされることによって、識別番号発生回路及びトライステート出力バッファ回路が動作状態にされる。識別番号発生回路の動作のために、図中に、出力クロックと標記されている連続クロック信号が供給される。かかる連続クロック信号に応答し

25

て入出力パッド電極に准じに識別番号情報が供給される。

第 8 4 図は、この発明に係る識別番号発生回路を備えた半導体集積回路装置の他の実施例の構成図である。この実施例は、近年のような大規模な半導体集積回路装置に有っては、消費電流の増大や動作速度の高速化に対応する
05 ような電源強化の点から、遊休 I / O セルが有っても、そのセル領域を電源強化のために転用する、ということが考慮されている。

第 8 4 図のレイアウト図では、3 つの I / O セルが例示されている。かかる 3 つの I / O セルの内、図面の上の方の I / O セルは遊休 I / O セルとされ、図面の下の方の他の I / O セルは、半導体集積回路装置動作のために動作利用される正規 I / O セルとされる。
10

遊休 I / O セルにおいて、その入出力パッド電極用の領域には電源パッド電極、すなわち電源等に転用されたパッド電極が設けられている。電源パッド電極は、複数の I / O セル、ないしは内蔵回路のための図示しない電源配線層に結合されている。なお、遊休 I / O セル上の電源配線層は、
15 通常、多層配線構造を採る配線層の内のメタルからなるような上層配線層からなると理解されたい。

遊休 I / O セルにおいて、上記第 8 1 図の出力制御回路のための領域と対応する部分には、多層配線層における下層側の配線層による配線によって、上記第 8 1 図の例と同等に、出力クロック信号、識別番号回路イネーブル信号を受け、識別番号出力を形成するところの識別番号発生回路が構成されている。
20

上記識別番号発生回路と内蔵回路との間の出力クロック信号、識別番号回路イネーブル信号及び識別番号出力のための配線層は、後で説明する配線切断及び端子形成が容易なように、それぞれの一部が比較的上層の配線層を使用するようにされる。
25

識別番号発生回路の出力信号は、出力セルとして設定される正規 I / O

セルの入力側に設けられた出力選択回路の供給される。

これによって、出力セルとして設定される正規 I / O セルは、半導体集積回路装置の通常動作においては、内蔵回路から出力選択回路を介して供給される正規出力データをその入出力パッド電極に出力する。

- 05 かかる正規 I / O セルは、識別番号情報を出力すべきときには、識別番号発生回路から出力選択回路を介して供給される識別番号情報をその入出力パッド電極に出力する。

- 第 8 5 図は、識別番号発生回路の電源端子 VDD 及びグランド端子と称されるような基準電位端子 VSS と、複数の I / O セル上を延長されるよ
10 うな電源配線層及び基準電位配線層との結合パターンを示している。上記の I / O セル上を延長する電源配線層 VDD 及び基準電位配線層 VSS が電源系強化の意図の元で比較的広い幅を持つようにされる。この実施例では、第 8 5 図のように、比較的幅広の電源配線層に対し細い幅の分岐配線層が設けられ、かかる細い幅の分岐配線層が、識別番号発生回路のための
15 電源配線 VDD - V と結合される。基準電位配線層と識別番号発生回路の基準電位配線 VSS - V との結合も同様にな構成とされる。この構成は、識別番号発生回路と電源配線層及び基準電位配線層との間の次に説明するような分離を用意にする。

- 電源配線層 - 基準電位配線層間の短絡等の異常にかかわらずに、識別番号発生回路から識別番号情報を得る必要が生じたときには、第 8 6 図のよ
20 うに、かかる回路の電源端子 VDD、基準電位端子 VSS につながる細幅分岐配線層が、レーザ切断技術やフォーカスト・イオン・ビーム (FIB) 技術のような技術によって切断される。これと共に、識別番号発生回路と内蔵回路との間の前述のような信号線も同様に切断される。

- 25 ついで、絶縁膜形成、それに対する開口形成、及び導電層の選択形成が FIB 技術のような公知の技術によって行われる。これによって、識別番

号発生回路の電源端子VDD、基準電位端子VSSには、第86図のように新たな導電層からなる導電気領域が設定される。同時に、上述の信号線に対しても新たな導電層が設定される。

プローブ針と称されるようなコンタクタがそれら導電層に接触され、識別番号発生回路が動作され、識別番号情報が得られることとなる。

第87図は、この発明に係る識別番号発生回路を備えた半導体集積回路装置の他の実施例の回路図である。

この実施例では、半導体集積回路装置に構成された識別番号発生回路に対して、図示のような2つのダイオード接続のMOSFETQ1、Q2、識別番号回路用電源パッド、識別番号専用出力パッド、識別番号専用クロックパッド、及び識別番号専用イネーブルパッドが設けられている。

半導体集積回路装置が正常動作可能である場合には、識別番号発生回路は、半導体集積回路装置の正規電源端子VDD、正規電源配線及びダイオード接続MOSFETQ1を介して動作電圧が与えられ、かつ図示しない内蔵回路からのクロック信号、識別番号イネーブル信号に応答して、内蔵回路に識別番号情報を出力する。

正規電源端子VDD及びそれにつながる電源配線と、正規基準電位端子VSS及びそれにつながる基準電位配線との間の短絡異常などによって、正規端子VDD・VSSを介して識別番号発生回路に電源供給ができない場合には、図示の各種パッドを介して必要な電圧、信号がかかる回路に加えられ、かかる回路が動作される。ダイオード接続のMOSFETQ1は、識別番号回路用電源パッド及びMOSFETQ2を介して該回路に加えられる電源電圧に対して自動的にオフ状態となるようなスイッチ動作をする。これによって正規電源系の異常にかかわらずに識別番号発生回路に給電をすることができる。

上記の各実施例から得られる作用効果は、下記の通りである。

(1) 半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、そのプロセスバラツキに対応した複数の識別要素の相互の物理量の大小関係を判定して、半導体集積回路装置の固有の識別情報として用いることにより、簡単な構成で個々の半導体集積回路装置の識別を可能にすることができるという効果が得られる。

(2) 上記に加えて、上記固有の識別情報を上記製造時に識別要素に割り当てられた第1識別情報と、上記判定により得られた上記複数の識別要素の物理量を大小関係の順位情報とを用いることにより、個々の半導体集積回路装置の識別のための情報量を少なくできるから、識別情報を記憶する記憶回路を簡単にできるとともにその判定時間も短縮化できるという効果が得られる。

(3) 上記に加えて、上記識別要素をNチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路の入力端子と出力端子とを接続し、その論理しきい値を大小比較を行う物理量とすることにより、CMOS回路等の基本的なデジタル回路で構成できるから格別な製造プロセスの追加なく適用可能な半導体集積回路装置の範囲を広くできるという効果が得られる。

(4) 上記に加えて、上記CMOSインバータ回路に対して、物理量としての論理しきい値電圧判定時にのみ動作電圧を印加するようにすることにより、素子特性の劣化の影響を軽減できるので安定的で信頼性の高い識別結果を得ることができるという効果が得られる。

(5) 半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、そのプロセスバラツキに対応した物理量を判定し、上記複数の識別要素の相互の物理量の大小関係に基づいて固有の識別情報を生成して製造履歴と附帯させて記憶し、かかる半導体集積回路装置について不良が発生したときに、上記固有の識別情報を基に上記記

憶された製造履歴を読み出し不良解析を行って、必要に応じて上記製造工程にフィードバックさせることにより、合理的な製造システムの構築を行うようにすることができるという効果が得られる。

05 (6) 第1チップを構成する半導体集積回路装置の製造工程の過程で同一の形態からなる複数の識別要素を形成し、そのプロセスバラツキに対応した相互の物理量の大小関係に基づいてかかる第1チップの固有の識別情報を生成し、上記第1チップを構成する半導体集積回路装置の複数に対して、それぞれの電気的特性に応じて複数の動作修飾情報を形成し、上記個々の第1チップの識別情報に対応させて第2チップに書き込み、
10 上記第1チップと第2チップとを組み立てて第1チップの識別情報を基に上記動作修飾情報を第1チップに向けて出力させることにより、マルチチップ構成の半導体集積回路装置を煩雑なチップ管理を行うことなく効率よく製造することができるという効果が得られる。

15 (7) 上記に加えて、上記第1チップで冗長回路を持つメモリを構成し、上記第2チップを不良アドレスを記憶するものとすることにより、簡単な構成で製造歩留りを高くしたメモリ装置を得ることができるという効果が得られる。

20 (8) 上記に加えて、上記第1チップと第2チップが組み立てられた状態で更に試験を行って不良が発生した場合に、上記第2チップを取り外して、上記第1チップを構成する半導体集積回路装置の別の複数の半導体集積回路装置の纏められる工程に戻すことにより、製造歩留りを改善することができるという効果が得られる。

25 (9) 上記に加えて、上記第1チップと第2チップとを上記組み立てられた状態での選別の後に一体的に封止することにより、製造歩留りの改善を行ないつつ、半導体集積回路装置の小型化を実現できるという効果が得られる。

(10) 上記に加えて、上記第1チップと第2チップとを共通の実装基板上に組み立てるようにより、第2チップの取り外しが簡単となって、上記不良が発生した場合の再利用を効果的に行うようにすることができるという効果が得られる。

05 (11) 半導体集積回路装置の製造工程の過程で同一の形態として形成された複数の識別要素のプロセスバラツキに対応した相互の物理量の大小関係に基づいて固有の識別情報を持たせることにより、簡単な構成で個々の半導体集積回路装置の識別情報を組み込むことができるという効果が得られる。

10 (12) 上記に加えて、上記固有の識別情報を上記製造時に識別要素に割り当てられた第1識別情報と、上記複数の識別要素の物理量を大小関係の順位情報とすることにより、個々の半導体集積回路装置の識別のための情報量を少なくできるから、それを記憶する記憶回路を簡素化できるとともにその判定動作の高速化もできるという効果が得られる。

15 (13) 上記に加えて、識別要素をNチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路の入力端子と出力端子とを接続し、その論理しきい値を大小判定の物理量として利用することにより、CMOS回路等の基本的なデジタル回路で構成できるから格別な製造プロセスの追加なく適用可能な半導体集積回路装置の範
20 囲を広くできるという効果が得られる。

(14) 上記に加えて、CMOSインバータ回路の入力端子と出力端子とを接続し、その論理しきい値を大小判定を行う回路として、複数のCMOSインバータ回路の各々にスイッチを設け、2個ずつの組み合わせで総当たりで共通の電圧比較回路に上記論理しきい値電圧を供給して判
25 定することにより、簡単な構成で高い識別能力を実現できるという効果が得られる。

(15) 上記に加えて、複数のCMOSインバータ回路の各々に対応して、その入力端子と出力端子とを接続する第1スイッチと、共通の第1回路ノードと入力端子とを接続する第2スイッチと、出力端子と共通の第2回路ノードとを接続する第3スイッチとを設けて、かかる第1ないし第3スイッチの組み合わせにより、複数のインバータ回路間において2つのCMOSインバータ回路を1組として総当たりで、一方のCMOSインバータ回路の入力端子と出力端子とを接続して上記第1の回路ノードに得られて電圧を他方のCMOSインバータ回路の入力端子に供給して、かかる他方のCMOSインバータ回路の論理しきい値電圧を参照電圧として電圧比較の出力信号を上記第2の回路ノードに得るようにすることにより、簡単な構成での識別番号の生成を行うようにすることができるという効果が得られる。

(16) 上記に加えて、上記CMOSインバータ回路と第1スイッチないし第3スイッチをCMOSゲートアレイを構成する素子を用いることにより、配線設計のみにより識別番号発生回路を得ることができるという効果が得られる。

(17) 上記に加えて、上記CMOSインバータ回路に上記物理量としての電圧判定時にのみ動作電圧を供給することにより、素子特性の劣化の影響を軽減できるので安定的で信頼性の高い識別番号を得ることができるという効果が得られる。

(18) 第1インバータ回路の入力端子と出力端子とを選択的に短絡させる第1スイッチと、上記第1インバータ回路の出力端子が入力端子に接続された第2インバータ回路を設け、その出力信号を受けて増幅回路で増幅してなる識別要素の複数個を設け、上記第1スイッチがオン状態のときの各識別要素からの出力信号により識別番号を生成する識別番号回路を内蔵させることにより、簡単な構成で個々の半導体集チップの識別

を可能にすることができるという効果が得られる。

(19) 上記に加えて、上記インバータ回路をCMOSインバータ回路とし、上記第1スイッチがオン状態のときの第2インバータ回路の出力信号がその論理しきい値に対してハイレベル側なら上記増幅回路の出力信号を受けてロウレベルを形成し、上記第1スイッチがオン状態のときの第2インバータ回路の出力信号がその論理しきい値に対してロウレベル側なら上記増幅回路の出力信号を受けてハイレベルを形成し、上記第1スイッチがオフ状態にされるフィードバック動作のときに上記第1インバータ回路の入力端子に帰還させるラッチ回路を更に設けることにより、識別番号の再現性と経時変化に対する耐性を高めることができるという効果が得られる。

(20) 上記に加えて、上記増幅回路を複数個のCMOSインバータ回路の縦列接続回路とし、上記第1インバータ回路、第2インバータ回路及び増幅回路を構成する各CMOSインバータ回路の入力端子のそれぞれにハイレベル側の電圧を与える第3スイッチを設け、上記第1インバータ回路ないし上記増幅回路を構成する各インバータ回路列のそれぞれの相互接続点に第3スイッチを設け、上記識別番号回路が非動作状態のときは上記第2スイッチをオン状態にし、上記第3スイッチをオフ状態にし、上記第1スイッチをオン状態にされた識別情報の増幅時及び上記フィードバック動作時には上記第2スイッチをオフ状態にし、上記第3スイッチをオン状態にすることにより、識別番号の再現性と経時変化に対する耐性をいっそ高めることができるという効果が得られる。

(21) 第1インバータ回路及び第2インバータ回路のそれぞれの入力端子と出力端子とを短絡させる第1スイッチを設け、上記第1インバータ回路の出力端子を第2インバータ回路の入力端子に接続させる第2スイッチを設け、上記第2インバータ回路の出力端子が入力端子に接続され

てなる第3インバータ回路を含んだ増幅回路とを含む複数個の識別要素を用い、上記第1インバータ回路の第1スイッチをオン状態にし、第2インバータ回路の第1スイッチをオフ状態にし、上記第2スイッチをオン状態にしたときの上記第3インバータ回路を含む上記増幅回路の出力信号により第1識別情報を得て、上記第2インバータ回路の第1スイッチをオン状態にして上記第2スイッチをオフ状態にしたときの上記第3インバータ回路を含む上記増幅回路の出力信号により第2識別情報を得るように識別番号を生成する識別番号回路を内蔵させることにより、回路の簡素化を図りつつ、個々の半導体集チップの識別を可能にすることができるといふ効果が得られる。

(22) 上記に加えて、上記第1インバータ回路、第2インバータ回路からなる回路列を上記第1インバータ回路及び第2インバータ回路が対応して並ぶように複数回路列を設け、上記複数回路列の対応する第1スイッチには同じスイッチ制御信号が共通に供給し、複数回路列の上記第2インバータ回路の出力信号のいずれか1つを第3スイッチにより選択して上記増幅回路の初段回路を構成する第3インバータ回路の入力端子に接続することにより、多数の識別情報を効率的に得るようにすることができるという効果が得られる。

(23) 上記に加えて、上記第1インバータ回路及び第2インバータ回路の入力端子には、入力信号を切断する第4スイッチと、ハイレベル側の電圧を供給する第5スイッチを設け、上記識別番号回路が非動作状態のときは上記第4スイッチをオフ状態にし、上記第5スイッチをオン状態にすることにより、識別番号の再現性と経時変化に対する耐性をいっそ高めることができるという効果が得られる。

(24) 第1インバータ回路の入力端子と出力端子とを第1スイッチで短絡させ、上記第1インバータ回路の入力端子第2スイッチを設けてなる

単位要素の複数個を上記第 2 スイッチを介して縦列形態にして識別要素列を構成し、上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子を第 2 インバータ回路を含んだ増幅回路の入力端子に接続し、クロックを計数するバイナリカウンタの計数出力をデコードする
05 デコーダを上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応して設け、上記バイナリカウンタの計数出力に対応して上記識別要素列を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の
10 各第 1 インバータ回路に対応した複数の識別情報を得て識別番号を生成する識別番号回路を内蔵させることにより、回路の簡素化を図りつつ、個々の半導体集チップの識別を可能にすることができるという効果が得られる。

(25) 第 1 インバータ回路の入力端子と出力端子とを第 1 スイッチで短絡させ、上記第 1 インバータ回路の入力端子に第 2 スイッチを設けてなる単位要素の複数個を上記第 2 スイッチを介して縦列形態にして識別要素列を構成し、上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子を第 2 インバータ回路を含んだ増幅回路の入力端子に接続し、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第
15 2 スイッチに対応したシフトビットを有するシフトレジスタを設け、上記シフトレジスタのシフト動作に対応し、上記識別要素列を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した
20 複数の識別情報を得て識別番号を生成する識別番号回路を内蔵させることにより、回路の簡素化を図りつつ、個々の半導体集チップの識別を可

能にすることができるという効果が得られる。

(26) 第1インバータ回路の入力端子と出力端子とを選択的に短絡させる第1スイッチと、上記第1インバータ回路の出力端子が入力端子に接続された第2インバータ回路を設け、その出力信号を受けて増幅回路で
05 増幅してなる識別要素の複数個を設け、上記第1スイッチがオン状態のときの各識別要素からの出力信号により識別番号を生成する識別番号回路を内蔵させることにより、簡単な構成で個々の半導体集積回路装置の識別を可能にすることができるという効果が得られる。

(27) 第1インバータ回路の入力端子と出力端子とを第1スイッチで短
10 絡させ、上記第1インバータ回路の入力端子に第2スイッチを設けてなる単位要素の複数個を上記第2スイッチを介して縦列形態にして識別要素列を構成し、上記識別要素列の最終段に対応された上記第1インバータ回路の出力端子を第2インバータ回路を含んだ増幅回路の入力端子に接続し、クロックを計数するバイナリカウンタの計数出力をデコードす
15 るデコーダを上記識別要素列の各第1インバータ回路の第1スイッチ及び第2スイッチに対応して設け、上記バイナリカウンタの計数出力に対応して上記識別要素列を初段回路から順に上記第1スイッチを順次オン状態に、第2スイッチは第1スイッチと相補的にオフ状態にして上記第3インバータ回路を含む上記増幅回路の出力信号により上記識別要素列
20 の各第1インバータ回路に対応した複数の識別情報を得て識別番号を生成する識別番号回路を内蔵させることにより、回路の簡素化を図りつつ、個々の半導体集積回路装置の識別を可能にすることができるという効果が得られる。

(28) 第1インバータ回路の入力端子と出力端子とを第1スイッチで短
25 絡させ、上記第1インバータ回路の入力端子第2スイッチを設けてなる単位要素の複数個を上記第2スイッチを介して縦列形態にして識別要素

列を構成し、上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子を第 2 インバータ回路を含んだ増幅回路の入力端子に接続し、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応したシフトビットを有するシフトレジスタを設け、上記
05 シフトレジスタのシフト動作に対応し、上記識別要素列を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した複数の識別情報を得て識別番号を生成する識別番号回路を内蔵させること
10 により、回路の簡素化を図りつつ、個々の半導体集積回路装置の識別を可能にすることができるという効果が得られる。

(29) 上記に加えて、J T A G 規格に適合されたテスト回路を更に備え、上記識別番号回路で生成された識別番号を上記 J T A G 規格に適合されたインターフェイスを介して出力させることにより、テスト回路の流
15 用によって回路の簡素化が可能になるという効果が得られる。

(30) 上記に加えて、上記単位要素、第 1 スイッチ及び第 2 スイッチを含んだ識別番号回路は、ソフト I P 技術を用いて回路設計及び回路レイアウトを行うようにすることにより、設計コストの低減が可能になるという効果が得られる。

(31) 第 1 インバータ回路の入力端子と出力端子とを第 1 スイッチで短絡させ、上記第 1 インバータ回路の入力端子に第 2 スイッチを設けてなる単位要素の複数個を上記第 2 スイッチを介して縦列形態にして識別要素列を構成し、上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子を第 2 インバータ回路を含んだ増幅回路の入力端子に
25 接続し、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応したシフトビットを有するシフトレジスタを設け、上

記シフトレジスタのシフト動作に対応し、上記識別要素列を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した
05 複数の識別情報を得て識別番号を生成する識別番号回路をソフト I P 技術を用いて回路設計及び回路レイアウトが行うようにすることにより、半導体集積回路装置の製造コストの低減が可能になるという効果が得られる。

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、
10 、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、半導体集積回路装置の製造工程の過程で形成される同一の形態からなる複数の識別要素は、電気的に信号を読み出すものでは半導体集積回路装置に同じ抵抗値になるような抵抗素子や同じ容量値になるようなキャパシタを
15 複数個成形し、その抵抗値や容量値のプロセスバラツキを電流又は電圧の形態で取り出して、識別番号として利用するものであってもよい。

また、半導体集積回路装置のリードの幅あるいはピッチ幅の他に、半導体パッケージ等の表面に同じ長さ又は幅にされた複数の直線を印刷又は刻印し、その幅又はピッチの幅のバラツキを利用するもの等種々の実
20 施形態をとることができる。

上記に例示の抵抗素子は、実施例の CMOS 構成のような比較的複雑な製造プロセスを要さないでも実施できる。抵抗素子としては、半導体集積回路技術によって構成されるポリシリコン抵抗や、単結晶シリコン
25 法によって導入することによって構成するいわゆる拡散抵抗のような半導体抵抗や、金属配線層と同質の金属層からなる金属抵抗を検討するこ

とができる。それら抵抗の中では、拡散抵抗は、適切な抵抗値に設定することが容易である点、抵抗値の経時変化が比較的小さい点から、特性バラツキに応じた特定情報を得るために好適である。

抵抗バラツキに対応する特定情報は、例えば、所定のバイアス電流を
05 その時々に対比すべき2つの抵抗素子に流し、その時に2つの抵抗に発生する電圧差を判別して行くような抵抗－電圧変換及び比較判定の技術によって形成することや、複数の抵抗素子によって抵抗ブリッジを構成し、その抵抗ブリッジの出力を判別する技術によって形成することが可能である。抵抗素子に対応する特性情報は、また、上のような技術以外
10 に、抵抗素子を抵抗－電流変換素子として利用し、変換された電流を比較判定する技術によって形成することも可能である。更には、抵抗素子を発振回路の発振周波数決定素子や遅延回路の遅延時間決定素子の一部とすることによって、抵抗素子の特性バラツキを周波数情報や遅延時間情報として利用することも可能である。

15 抵抗素子を、インバータを構成する信号入力MOSFETに対する負荷素子とするような場合には、特性バラツキに応ずる情報は、抵抗素子の特性バラツキと信号入力MOSFETの特性バラツキとの両方を反映したものとなる。

抵抗バラツキに対応する特定情報は、必ずしも半導体集積回路装置内
20 のみで形成する必要は無い。必要ならば、半導体集積回路装置を、適宜に特定情報形成モードに移行可能な構成にしておき、そのモードの元で、半導体集積回路装置内の複数の抵抗素子を、半導体集積回路装置に設定されている信号入出力端子のような既存の外部端子にスイッチ的に切
換え結合に結合させることもできる。この場合には、抵抗素子の特性バ
25 ラツキに対応する特定情報は、かかる外部端子に結合する半導体集積回路装置外の回路装置によって形成される。この場合には半導体集積回路

装置内の回路素子数の増大を抑制することが出来、また半導体集積回路装置の既存の端子の利用によって、その外部端子数の抑制を図ることもできる。

05 複数の同じ構成の回路相互、あるいはMOSFETのような回路素子のリーク電流も特性バラツキを恒久的に維持するものとして経験的に把握される。リーク電流レベルは、抵抗素子の特性バラツキと同様に、電流電圧変換と電圧比較によって検出可能である。リーク電流を形成するものは、上のように互いに同じ構成の回路であっても良いし、ゲート・ソース間が接続されたようなMOSFETであっても良い。

10 特定情報のためのリーク電流源の好適なものとしては、半導体集積回路装置の信号出力外部端子もしくは信号入出力外部端子につながる信号出力バッファ回路を掲げることができる。かかる種の信号出力バッファは、それを構成するMOSFETのような回路素子が比較的大きいサイズとされ、比較的大きいリーク電流を形成することが少なくなく、その
15 測定が比較的容易であるからであり、また既存の外部端子をそのまま利用できるからである。

半導体集積回路装置の外部信号入力端子につながる半導体集積回路装置内の入力保護ダイオードのような素子の耐圧特性も、ミクロ的なバラツキに対応する前述のような特定情報の源とすることができる。半導体
20 集積回路装置の複数の外部端子が、電子システムにおける比較的少ないビット数のバスラインを構成する場合であっても、前述の実施定のような総当り比較の手法によって、著しく多数のものに対して適切に識別可能な情報を形成することが可能である。

半導体集積回路装置の外部端子に結合される半導体集積回路装置内の
25 MOSトランジスタのドレイン接合容量のような容量は、ミクロ的なバラツキを持つ。よってそれもまたバラツキに対応する前述のような特定

情報の源とすることができる。

ダイナミック型メモリにおける情報保持時間もミクロ的なバラツキを示す。この場合、ダイナミック型メモリに、特別の構成を付加しないでも、すなわち、固有の識別情報形成のための構成を設定しなくても、複数のメモリアドレスの内の特定の複数のメモリアドレスにおける複数のメモリセルの情報保持時間を計測し、その計測結果に基づいて特定情報とすることが可能である。

マルチチップモジュールのように共通基板に、複数の半導体チップが設けられる場合、個々の半導体チップに固有の識別回路を設定しておき、個々の半導体チップからの固有の識別情報を共通の基板を介して取り出せるようにすることも可能である。個々の半導体チップの固有の識別情報を読み出すために共通基板に必要となる端子の数に制約が有るときには、それぞれの半導体チップにチップ選択制御回路とともに固有の識別情報のための並列－直列変換回路を設定しても良い。この時には、各半導体チップにおける固有の識別情報は、そのチップの選択状態において、並列－直列変換回路によって直列化された上で、各半導体チップから出力され、共通基板を介して読み出される。第 33 図のような意味でのプログラム専用チップが設けられる場合には、かかるプログラム専用チップは、共通基板上の異なった種類の複数の半導体チップに対応可能なように構成されても良い。

産業上の利用可能性

この発明は、半導体集積回路装置又は半導体チップに固有の識別情報を割り当てて、個々の半導体集積回路装置又は半導体チップの識別を行うようにした半導体集積回路装置又は半導体チップの識別方法と半導体集積回路装置の製造方法、半導体集積回路装置及び半導体チップに広く

利用することができる。

請 求 の 範 囲

1. 互いに同じ形態を持って形成されてなるとともに互いに同じ製造過程をもって形成されてなる複数の識別要素を半導体集積回路装置に附帯せしめ、
- 05 上記複数の識別要素の物理量の相互のバラツキに対応されてもたらされるところの上記複数の識別要素の相互の物理量の大小関係を反映する情報を形成し、かかる大小関係を反映する情報にかかる半導体集積回路装置の固有の識別情報として設定してなることを特徴とする半導体集積回路装置の識別方法。
- 10 2. 請求の範囲第1項において、
上記複数の識別要素は、上記半導体集積回路装置内に設定されるものであることを特徴とする半導体集積回路装置の識別方法。
3. 請求の範囲第2項において、
上記固有の識別情報は、更に上記製造過程で設定された値を持つ第1
15 識別情報を含んでなることを特徴とする半導体集積回路装置の識別方法。
4. 請求の範囲第2項において、
上記固有の識別情報は、上記複数の識別要素の物理量の大小順位をあらわす順位情報からなることを特徴とする半導体集積回路装置の識別方
20 法。
5. 請求の範囲第3項において、
上記複数の識別要素は、それぞれ論理回路からなり、上記物理量の大小関係は複数の論理回路の電気パラメータの大小関係であることを特徴とする半導体集積回路装置の識別方法。
- 25 6. 請求の範囲第4項において、
上記複数の論理回路は、上記電気パラメータとして、それぞれの入力

と出力が電気結合されることによってそれぞれの出力にそれぞれのしきい値電圧に等しい出力電圧を出力するものであることを特徴とする半導体集積回路装置の識別方法。

7. 請求の範囲第6項において、

05 上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

8. 請求の範囲第7項において、

10 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

9. 請求の範囲第5項において、

上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

10. 請求の範囲第9項において、

15 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

11. 請求の範囲第5項において、

20 上記論理回路には、上記物理量としての電気パラメータの大小関係の判定動作が行われていないときの動作電圧の印加が制限されるものであることを特徴とする半導体集積回路装置の識別方法。

12. 請求の範囲第1項において、

25 上記固有の識別情報は、上記複数の識別要素の物理量の大小順位をあらわす順位情報からなることを特徴とする半導体集積回路装置の識別方法。

13. 請求の範囲第12項において、

上記複数の識別要素は、それぞれ論理回路からなり、上記物理量の大小関係は複数の論理回路の電気パラメータの大小関係であることを特徴とする半導体集積回路装置の識別方法。

1 4. 請求の範囲第 1 3 項において、

05 上記論理回路には、上記物理量としての電気パラメータの大小関係の判定動作が行われていないときの動作電圧の印加が制限されるものであることを特徴とする半導体集積回路装置の識別方法。

1 5. 請求の範囲第 1 3 項において、

10 上記複数の論理回路は、上記電気パラメータとして、それぞれの入力と出力が電気結合されることによってそれぞれの出力にそれぞれのしきい値電圧に等しい出力電圧を出力するものであることを特徴とする半導体集積回路装置の識別方法。

1 6. 請求の範囲第 1 5 において、

15 上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

1 7. 請求の範囲第 1 6 項において、

 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

20 1 8. 請求の範囲第 1 3 項において、

 上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

1 9. 請求の範囲第 1 8 項において、

25 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

20. 請求の範囲第1項において、

上記複数の識別要素は、それぞれ論理回路からなり、上記物理量の大小関係は複数の論理回路の電気パラメータの大小関係であることを特徴とする半導体集積回路装置の識別方法。

05 21. 請求の範囲第20項において、

上記論理回路には、上記物理量としての電気パラメータの大小関係の判定動作が行われていないときの動作電圧の印加が制限されるものであることを特徴とする半導体集積回路装置の識別方法。

22. 請求の範囲第20項において、

10 上記複数の論理回路は、上記電気パラメータとして、それぞれの入力と出力が電気結合されることによってそれぞれの出力にそれぞれのしきい値電圧に等しい出力電圧を出力するものであることを特徴とする半導体集積回路装置の識別方法。

23. 請求の範囲第22項において、

15 上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

24. 請求の範囲第23項において、

20 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

25. 請求の範囲第20項において、

上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置の識別方法。

26. 請求の範囲第25項において、

25 上記識別要素は、Nチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半

導体集積回路装置の識別方法。

27. 半導体集積回路装置の測定によって、当該半導体集積回路装置に固有の製造情報の照会を可能にする半導体集積回路装置の製造方法であって、

05 上記半導体集積回路装置は、互いに同じ形態を持って互いに同じ製造過程をもって形成されてなる複数の識別要素を持ってなり、

 上記半導体集積回路装置の製造過程の1つの時期での上記半導体集積回路装置の測定によって、上記複数の識別要素の物理量の相互のバラツキに対応されてもたらされるところの上記複数の識別要素の相互の物理量
10 量の大小関係を反映する第1情報を形成せしめ、

 上記第1情報と、それをもたらし半導体集積回路装置の製造において設定される管理情報を含む第2情報とを、かかる半導体集積回路装置の固有の情報として上記半導体集積回路装置外の情報保持装置に保持せしめてなり、

15 これによって、上記の1つの時期と異なる時期での半導体集積回路装置の測定によって得られる上記第1情報と同種の情報である第3情報から、上記情報保持装置内の該第3情報に対応される上記第1情報を照会し、上記第3情報に基づいて照会された第1情報から上記第2情報を照会することが可能にされてなることを特徴とする半導体集積回路装置の
20 製造方法。

28. 第1チップを構成する半導体集積回路装置であって、互いに同じ形態を持って形成されてなるとともに、互いに同じ製造過程をもって形成されてなる複数の識別要素を持つ半導体集積回路装置を形成する工程と、

25 上記第1チップを構成する半導体集積回路装置における上記複数の識別要素から固有の識別情報を得る工程と、

複数の上記第1チップを構成する半導体集積回路装置からの複数の固有の識別情報と、それぞれの個有の識別情報をもたらした半導体集積回路装置に対する動作修飾情報とを第2チップに書き込む工程と、

05 上記第1チップと第2チップとを一体的に組み立てる工程を含んでなり、

上記組み立てられた第2チップは、それと一体的に組み立てられた第1チップから得られる固有の識別情報を基に上記動作修飾情報を第1チップに向けて出力するように構成されてなることを特徴とする半導体集積回路装置の製造方法。

10 29. 請求の範囲第28項において、

上記半導体集積回路装置は、上記複数の識別要素の物理量の相互のバラツキによってもたらされる所の上記複数の識別要素の物理量の大小関係を反映する情報を含む情報を上記固有の識別情報として形成するものであることを特徴とする半導体集積回路装置の製造方法。

15 30. 請求の範囲第29項において、

上記複数の識別要素の物理量の大小関係を反映する情報は、それぞれ1つ1つの識別要素の物理量に対して複数ずつの識別要素の物理量を対比せしめた対比情報を基礎とするものであることを特徴とする半導体集積回路装置の製造方法。

20 31. 請求の範囲第29項において、

上記複数の識別要素の物理量の大小関係を反映する情報は、上記複数の識別要素の物理量の大小順列に対応される順位情報であることを特徴とする半導体集積回路装置の製造方法。

32. 請求の範囲第28項において、

25 上記第1チップは、冗長回路を持つメモリであり、

上記第2チップは、上記動作修飾情報として上記第1チップの不良ア

ドレスを記憶するものであることを特徴とする半導体集積回路装置の製造方法。

3 3. 請求の範囲第 2 8 項において、

05 上記第 1 チップと第 2 チップが組立てられた状態で更に試験を行なう工程と、

上記組み立てられた状態での試験で不良が発生した場合に、上記第 2 チップを取り外して、上記第 1 チップを構成する半導体集積回路装置を別の複数の半導体集積回路装置に纏める工程とを有することを特徴とする半導体集積回路装置の製造方法。

10 3 4. 請求の範囲第 3 3 項において、

上記第 1 チップと第 2 チップとは、上記組み立てられた状態での選別の後に一体的に封止されるものであることを特徴とする半導体集積回路装置の製造方法。

3 5. 請求の範囲第 3 4 項において、

15 上記第 1 チップと第 2 チップとは、共通の実装基板上に組み立てられるものであることを特徴とする半導体集積回路装置の製造方法。

3 6. 互いに同じ製造過程をもって同一の形態として形成された複数の識別要素を有し、

20 上記複数の識別要素によって決まる固有の識別情報をもつようにされてなる半導体集積回路装置であって、

上記固有の識別情報は、上記複数の識別要素の特性バラツキに起因する上記複数の識別要素の相互の物理量の大小関係に対応される状態をとるようにされてなることを特徴とする半導体集積回路装置。

3 7. 請求の範囲第 3 6 項において、

25 上記固有の識別情報は、それぞれ 1 つ 1 つの識別要素の物理量と複数の識別要素を対比せしめた複数の対比情報からなるものであることを特

徴とする半導体集積回路装置。

38. 請求の範囲第37項において、
上記固有の識別情報は、上記複数の識別要素のそれぞれに対応される複数の対比情報からなり、

- 05 上記複数の対比情報のそれぞれは、それぞれ対応される特定の識別要素とそれに対比される複数の識別要素との相互の物理量の大小を対比せしめた複数ビットの情報からなることを特徴とする半導体集積回路装置。

39. 請求の範囲第38項において、

- 10 上記複数の対比情報のそれぞれは、上記特定の識別要素の物理量とそれに対比される複数の識別要素の物理量との直接的対比から得られる情報に対してデータ変換されてなることを特徴とする半導体集積回路装置。

40. 請求の範囲第38項において、

- 15 上記複数の対比情報のそれぞれは、ビット数圧縮された情報からなることを特徴とする半導体集積回路装置。

41. 請求の範囲第40項において、

- 20 上記順位情報は、上記特定の識別要素とそれに対応される複数の識別要素との対比数よりも少ないビット数をもって構成されるものであることを特徴とする半導体集積回路装置。

42. 請求の範囲第37項において、

上記順位情報は、上記複数の識別要素のそれぞれに対応される複数の順位情報からなることを特徴とする半導体集積回路装置。

43. 請求の範囲第36項において、

- 25 上記固有の識別情報は、上記複数の識別要素の物理量の大きさの順位を反映する順位情報からなることを特徴とする半導体集積回路装置。

4 4. 請求の範囲第 4 3 項において、

上記順位情報は、上記特定の識別要素とそれに対応される複数の識別要素との対比数よりも少ないビット数をもって構成されるものであることを特徴とする半導体集積回路装置。

05 4 5. 請求の範囲第 3 6 項において、

上記固有の識別情報は、更に上記製造過程で設定された値を持つ第 1 識別情報を含んでなることを特徴とする半導体集積回路装置。

4 6. 請求の範囲第 3 6 項において、

10 上記識別要素は、それぞれ論理回路からなり、上記物理量の大小関係は複数の論理回路の電気パラメータの大小関係であることを特徴とする半導体集積回路装置。

4 7. 請求の範囲第 4 6 項において、

上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置。

15 4 8. 請求の範囲第 4 6 項において、

上記複数の論理回路は、それぞれの入力と出力が電気結合されることによってそれぞれの出力にそれぞれのしきい値電圧に等しい出力電圧を出力するものであることを特徴とする半導体集積回路装置。

4 9. 請求の範囲第 4 8 項において、

20 上記複数の論理回路はインバータ回路からなることを特徴とする半導体集積回路装置。

5 0. 請求の範囲第 4 9 項において、

上記識別要素は、それぞれ入力端子に入力電圧が与えられることによってそれぞれの出力端子にバラツキに応じた出力電圧を形成するところ
25 のNチャンネル型MOSFETとPチャンネル型MOSFETからなるCMOSインバータ回路からなることを特徴とする半導体集積回路装置

。

5 1. 請求の範囲第 5 0 項において、

05 上記 CMOS インバータ回路は、その入力端子と出力端子が接続されることによって上記出力電圧を形成するものであることを特徴とする半導体集積回路装置。

5 2. 請求の範囲第 5 1 項において、

電圧比較回路と、

10 上記複数の CMOS インバータ回路の各々に対して設けられ、それぞれ対応する CMOS インバータ回路の出力電圧を上記電圧比較回路の一方の入力端子に伝える第 1 のスイッチと、上記電圧比較回路の他方の入力端子に伝える第 2 のスイッチと、

15 上記電圧比較回路によって、上記複数の CMOS インバータ回路のそれぞれの出力電圧をそれぞれ他の複数の CMOS インバータ回路の出力電圧と比較せしめるように上記複数の CMOS インバータ回路に対応された第 1 スイッチと第 2 スイッチを制御せしめる制御回路と、
を更に備えてなることを特徴とする半導体集積回路装置。

5 3. 請求の範囲第 5 2 項において、

上記スイッチは、MOSFET から構成されるスイッチであることを特徴とする半導体集積回路装置。

20 5 4. 請求の範囲第 5 1 項において、

上記複数の CMOS インバータ回路の各々に対応して設けられてなる第 1 ないし第 3 スイッチと、

上記第 1 ないし第 3 スイッチを制御する制御回路とを備え、

25 上記第 1 スイッチは、対応する CMOS インバータ回路の入力端子と出力端子ととの間に設けられ、

上記第 2 スイッチは、共通の第 1 回路ノードと対応する CMOS イン

バータ回路の入力端子との間に設けられ、

上記第 3 スイッチは、対応する CMOS インバータ回路の出力端子と共通の第 2 回路ノードとの間に設けられ、

05 上記制御回路は、上記複数の CMOS インバータ回路において、2 つの CMOS インバータ回路を 1 つ組として、その一方の CMOS インバータ回路の入力端子と出力端子とを接続してかかる一方の CMOS インバータ回路から出力電圧を出力せしめ、かつかかる一方の CMOS インバータ回路の出力電圧を上記第 1 の回路ノードを介して他方の CMOS
10 インバータ回路の入力端子に供給せしめ、かかる他方の CMOS インバータ回路から上記第 2 回路ノードに、かかる他方の CMOS インバータ回路の論理しきい値電圧を参照電圧として上記一方の CMOS インバータ回路の出力電圧の電位を判定した結果である出力信号を与えるように、上記第 1 ないし第 3 スイッチを制御するものであることを特徴とする半導体集積回路装置。

15 5 5. 請求の範囲第 5 4 項において、

上記スイッチは、MOSFET から構成されるスイッチであることを特徴とする半導体集積回路装置。

5 6. 請求の範囲第 5 4 項において、

20 上記 CMOS インバータ回路と第 1 スイッチないし第 3 スイッチは、CMOS ゲートアレイを構成する素子を用いてなることを特徴とする半導体集積回路装置。

5 7. 請求の範囲第 5 6 項において、

上記スイッチは、MOSFET から構成されるスイッチであることを特徴とする半導体集積回路装置。

25 5 8. 請求の範囲第 5 4 項において、

上記複数 CMOS インバータ回路は、上記物理量としての電圧判定動作

が行われていないときの動作電圧の印加が制限されるものであることを特徴とする半導体集積回路装置。

59. 請求の範囲第58項において、

05 上記スイッチは、MOSFETから構成されるスイッチであることを特徴とする半導体集積回路装置。

60. 第1インバータ回路と、

上記第1インバータ回路の入力端子と出力端子との間に設けられてなる第1スイッチと、

10 上記第1インバータ回路の出力端子にその入力端子が接続された第2インバータ回路と、

上記第2インバータ回路の出力端子の出力信号を受ける増幅回路とを含む識別要素を複数個備え、

15 上記複数の識別要素の上記第1スイッチがオン状態のときの上記増幅回路の出力信号に基づいて識別番号情報を生成する識別番号回路を内蔵してなることを特徴とする半導体チップ。

61. 請求の範囲第60項において、

上記インバータ回路は、CMOSインバータ回路からなり、

20 上記半導体チップは、更に、上記第1スイッチがオフ状態のとき上記第1インバータ回路の入力端子に印加すべき電圧を形成する電圧形成回路を持ち、

上記電圧形成回路は、上記第1スイッチがオン状態のときの上記増幅回路の出力信号のレベルに基づいて、該出力信号の経時変化による反転を回避するレベルにされた電圧を形成するものであることを特徴とする半導体チップ。

25 62. 請求の範囲第61項において、

上記半導体チップは、上記第1、第2インバータ回路を介して上記電

圧発生回路の上記電圧を設定する信号径路を含んでなり、

上記電圧発生回路は、上記第 1 スイッチがオン状態の時の第 2 インバータ回路の出力信号がその論理しきい値に対してハイレベル側ならそれに対応してロウレベルの出力電圧を形成し、かつ上記第 1 スイッチがオン状態の時の第 2 インバータ回路の出力信号がその論理しきい値に対してロウレベル側ならそれに対応してハイレベルを形成するように設定されるラッチ回路を備えてなることを特徴とする半導体チップ。

6 3. 請求の範囲第 6 2 項において、

上記ラッチ回路は、上記増幅回路の出力径路に設定されてなるものであることを特徴とする半導体チップ。

6 4. 請求の範囲第 6 0 項において、

上記第 1 インバータ回路と第 2 インバータ回路は、CMOS インバータ回路からなり、

上記第 1 インバータ回路と第 2 インバータ回路との間に第 2 スイッチが設けられ、

上記第 1 インバータ回路、第 2 インバータ回路及び増幅回路を構成する各 CMOS インバータ回路の入力端子のそれぞれには、ハイレベル側の電位を与える第 2 スイッチが設けられ、

上記第 1 インバータ回路と第 2 インバータ回路との間に第 3 スイッチが設けられ、

上記識別番号回路が非動作のときには上記第 1 スイッチをオフ状態にし、上記第 2 スイッチをオン状態にし、上記第 3 スイッチをオフ状態に所定することにより上記第 1 及び第 2 インバータ回路の入力端子を上記ハイレベル側の電位にし、

識別番号回路が動作のときには上記第 1 スイッチ及び第 3 スイッチをオン状態にし、上記第 2 スイッチをオフ状態にするようにしてなるこ

とを特徴とする半導体チップ。

6 5. 第 1 インバータ回路及び第 2 インバータ回路と、

上記第 1 インバータ回路及び第 2 インバータ回路のそれぞれの入力端子と出力端子との間に設けられた第 1 スイッチと、

05 上記第 1 インバータ回路の出力端子と第 2 インバータ回路の入力端子との間に設けられた第 2 スイッチと、

上記第 2 インバータ回路の出力端子が入力端子に接続されてなる第 3 インバータ回路を含んだ増幅回路を含む識別要素を複数個備え、

10 上記第 1 インバータ回路の第 1 スイッチをオン状態にし、第 2 インバータ回路の第 1 スイッチをオフ状態にし、上記第 2 スイッチをオン状態にしたときの上記第 3 インバータ回路を含む上記増幅回路の出力信号により第 1 識別情報を得るようにし、

15 上記第 2 インバータ回路の第 1 スイッチをオン状態にし、上記第 2 スイッチをオフ状態にしたときの上記第 3 インバータ回路を含む上記増幅回路の出力信号により第 2 識別情報を得るようにしてなる識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体チップ。

6 6. 請求の範囲第 6 5 項において、

20 上記第 1 インバータ回路、第 2 インバータ回路は回路列をなし、上記第 1 インバータ回路及び第 2 インバータ回路が対応して並ぶ形態をもって複数回路列が設けられ、

上記複数回路列の対応する第 1 スイッチには、共通のスイッチ制御信号が供給され、 複数回路列の上記第 2 インバータ回路の出力信号は、複数回路列における所望の回路列を選択する第 3 スイッチを介して上記増幅回路をなす上記第 3 インバータ回路の入力端子に供給されるように
25 されてなることを特徴とする半導体チップ。

6 7. 請求の範囲第 6 6 項において、

上記第 1 インバータ回路及び第 2 インバータ回路の入力端子には、入力信号を遮断する第 4 スイッチと、ハイレベル側の電圧を供給する第 5 スイッチが設けられ、

05 上記識別番号回路が非動作のときには、上記第 4 スイッチをオフ状態にし、上記第 5 スイッチをオン状態にしてなることを特徴とする半導体チップ。

6 8. 第 1 インバータ回路と、上記第 1 インバータ回路の入力端子と出力端子とを短絡させる第 1 スイッチと、上記第 1 インバータ回路の入力端子に設けられた第 2 スイッチを含む単位要素の複数個が上記第 2 スイッチを介して縦列形態にされてなる識別要素列と、

10

上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子が入力端子に接続されてなる第 2 インバータ回路を含んだ増幅回路と、

クロックを計数するバイナリカウンタと、

15 上記バイナリカウンタの計数出力を受け、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応して設けられたデコードとを含み、

上記バイナリカウンタの計数出力に対応し、上記識別要素を初段回路から順次オン状態にし、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した複数の識別情報を得るようにして識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体チップ。

20

6 9. 第 1 インバータ回路と、上記第 1 インバータ回路の入力端子と出力端子とを短絡させる第 1 スイッチと、上記第 1 インバータ回路の入力端子に設けられた第 2 スイッチを含む単位要素の複数個が上記第 2 スイ

25

ッチを介して縦列形態にされてなる識別要素列と、

上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子が入力端子に接続されてなる第 2 インバータ回路を含んだ増幅回路と、

- 05 クロックを受け、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応したシフトビットを有するシフトレジスタとを含み、

- 10 上記シフトレジスタのシフト動作に対応し、上記識別要素を初段回路から順に上記第 1 スイッチを順次オン状態にし、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した複数の識別情報を得るようにして識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体チップ。

- 15 7 0. 第 1 インバータ回路と、上記第 1 インバータ回路の入力端子と出力端子とを短絡させる第 1 スイッチと、

上記第 1 インバータ回路の出力端子に入力端子が接続された第 2 インバータ回路と、 上記第 2 インバータ回路の出力端子の信号を増幅する増幅回路とを含む識別要素を複数個備え、

- 20 上記複数の識別要素の上記第 1 スイッチがオン状態のときの上記増幅回路の出力信号により識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体集積回路装置。

- 25 7 1. 第 1 インバータ回路と、上記第 1 インバータ回路入力端子と出力端子とを短絡させる第 1 スイッチと、上記第 1 インバータ回路の入力端子に設けられた第 2 スイッチを含む単位要素の複数の上記第 2 スイッチを介して縦列形態にされてなる識別要素列と、

上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力

端子が入力端子に接続されてなる第 2 インバータ回路を含んだ増幅回路と、

クロックを計数するバイナリカウンタと、

上記バイナリカウンタの計数出力を受け、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応して設けられたデ
05 コーダとを含み、

上記バイナリカウンタの計数出力に対応し、上記識別要素を初段回路から順に上記第 1 スイッチをオン状態にし、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路
10 路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した複数の識別情報を得るようにして識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体集積回路装置。

7 2. 第 1 インバータ回路と、上記第 1 インバータ回路の入力端子と出力端子とを短絡させる第 1 スイッチと、上記第 1 インバータ回路の入力
15 端子に設けられた第 2 スイッチを含む単位要素の複数個が上記第 2 スイッチを介して縦列形態にされてなる識別要素列と、

上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子が入力端子に接続されてなる第 2 インバータ回路を含んだ増幅回路と、

20 クロックを受け、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応したシフトビットを有するシフトレジスタとを含み、

上記シフトレジスタのシフト動作に対応し、上記識別要素を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅
25 回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応し

た複数の識別情報を得るようにしての識別番号を生成する識別番号回路を内蔵してなることを特徴とする半導体集積回路装置。

7 3. 請求の範囲第 7 2 項において、

J T A G 企画に適合されたテスト回路を更に備え、

05 上記識別番号回路で生成された識別番号をれ上記 J T A G 規格に適合されたインターフェースを介して出力させることを特徴とする半導体集積回路装置。

7 4. 請求の範囲第 7 2 項において、

10 上記単位要素、第 1 スイッチ及び第 2 スイッチを含んだ識別番号回路は、ソフト I P 技術を用いて回路設計及び回路レイアウトが行われるものであることを特徴とする半導体集積回路装置。

7 5. 第 1 インバータ回路と、上記第 1 インバータ回路の入力端子と出力端子とを短絡させる第 1 スイッチと、上記第 1 インバータ回路の入力端子に設けられた第 2 スイッチを含む単位要素の複数個が上記第 2 スイッチを介して縦列形態にされてなる識別要素列と、
15

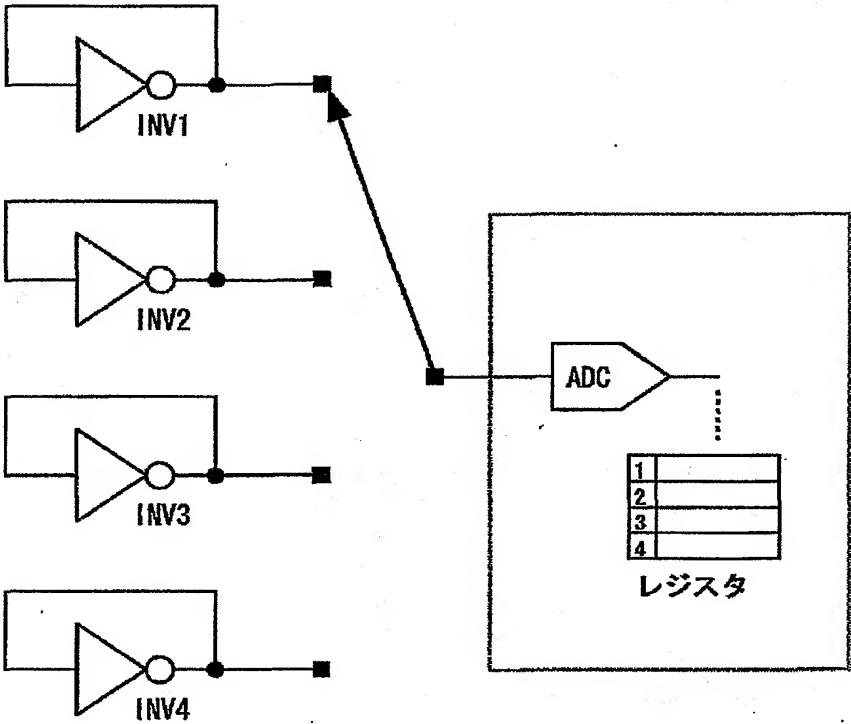
上記識別要素列の最終段に対応された上記第 1 インバータ回路の出力端子が入力端子に接続されてなる第 2 インバータ回路を含んだ増幅回路と、

20 クロックを受け、上記識別要素列の各第 1 インバータ回路の第 1 スイッチ及び第 2 スイッチに対応したシフトビットを有するシフトレジスタとを含み、

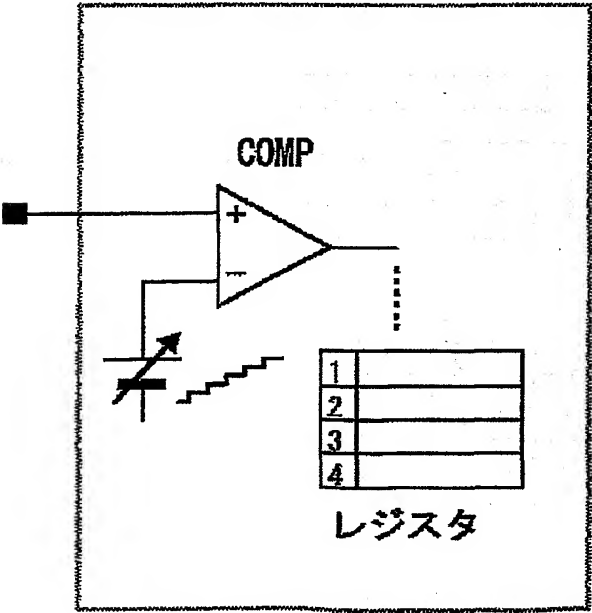
上記シフトレジスタのシフト動作に対応し、上記識別要素を初段回路から順に上記第 1 スイッチを順次オン状態に、第 2 スイッチは第 1 スイッチと相補的にオフ状態にして上記第 3 インバータ回路を含む上記増幅回路の出力信号により上記識別要素列の各第 1 インバータ回路に対応した複数の識別情報を得るようにしての識別番号を生成する識別番号回路
25

がソフト I P 技術を用いて回路設計及び回路レイアウトが行われるてなることを特徴とする半導体集積回路装置の製造方法。

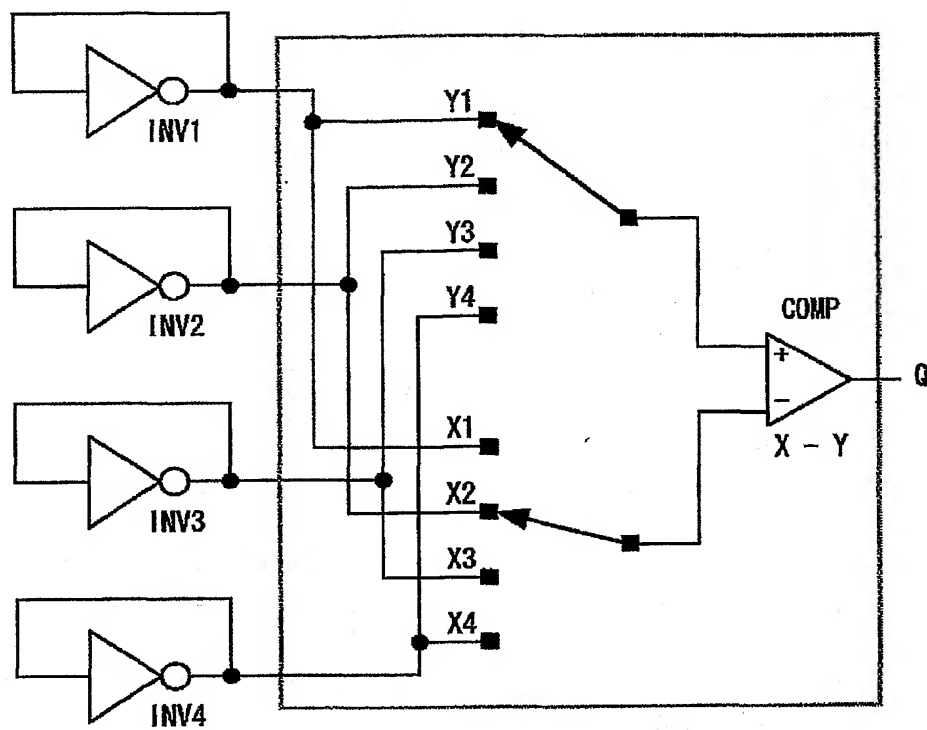
第 1 図



第 2 図



第 3 図



第 4 図

(A)

Y - X

	Y1	Y2	Y3	Y4
X1	*	-	-	-
X2	+	*	-	-
X3	+	+	*	-
X4	+	+	+	*

VLT1 > VLT2 > VLT3 > VLT4

(B)

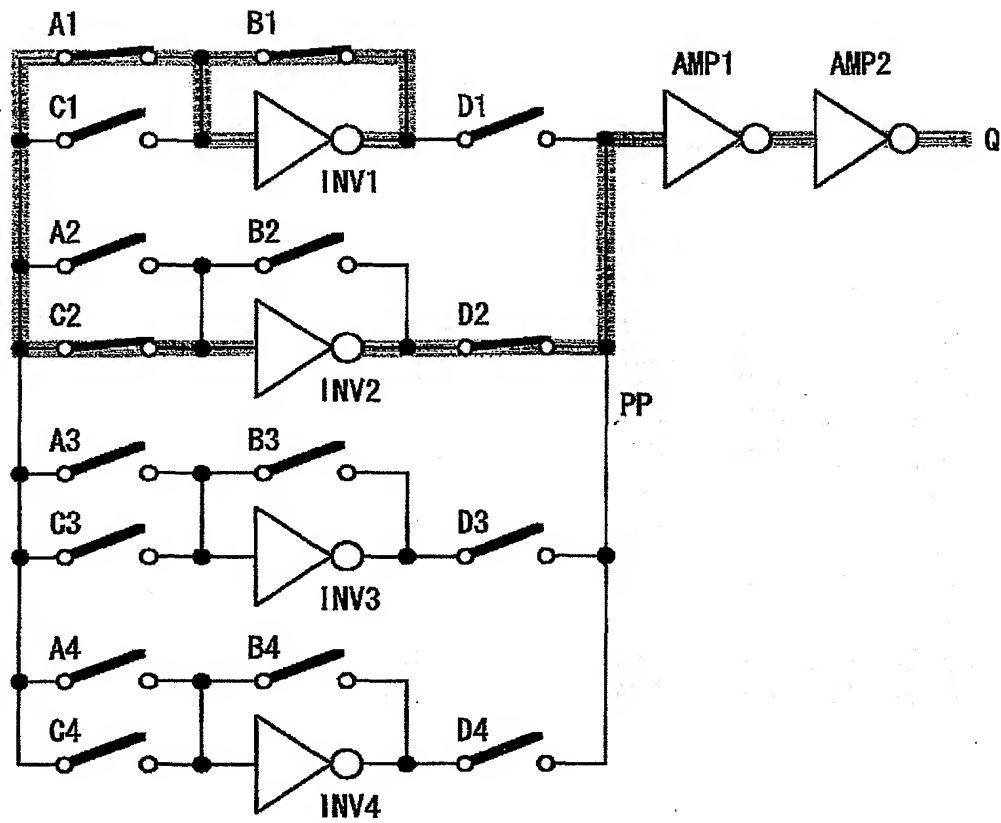
Y - X

	Y1	Y2	Y3	Y4
X1	*	=	-	-
X2	-	*	-	-
X3	+	+	*	+
X4	+	+	-	*

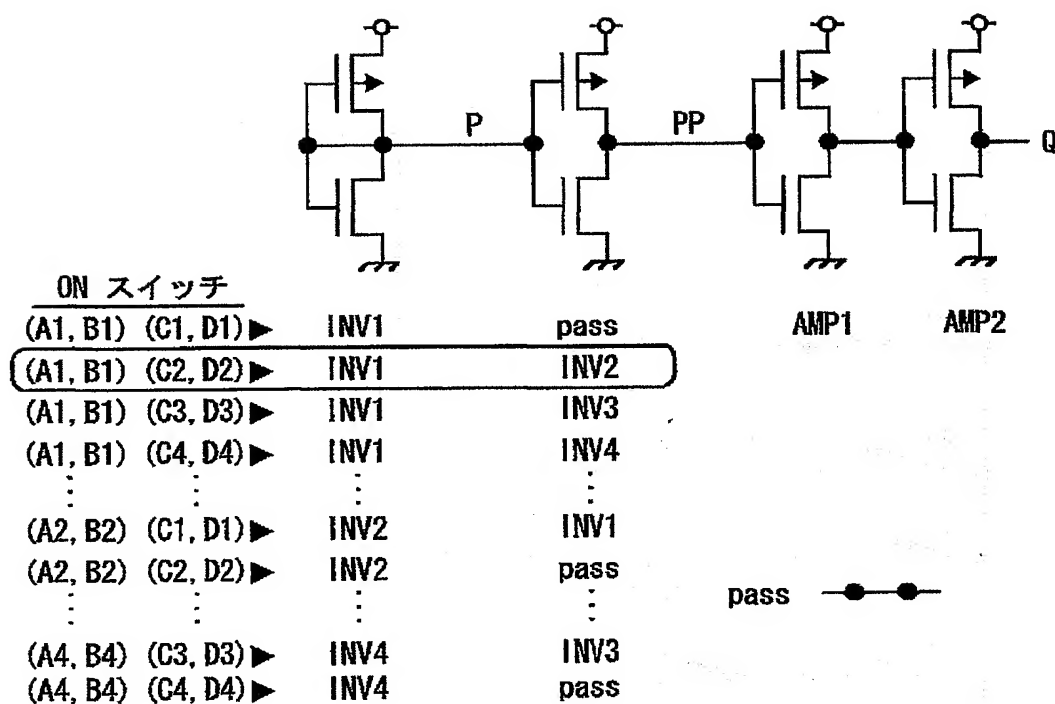
VLT2 = VLT1 > VLT4 > VLT3

+ : Y > X
 - : Y < X
 * : no match
 = : 引き分け

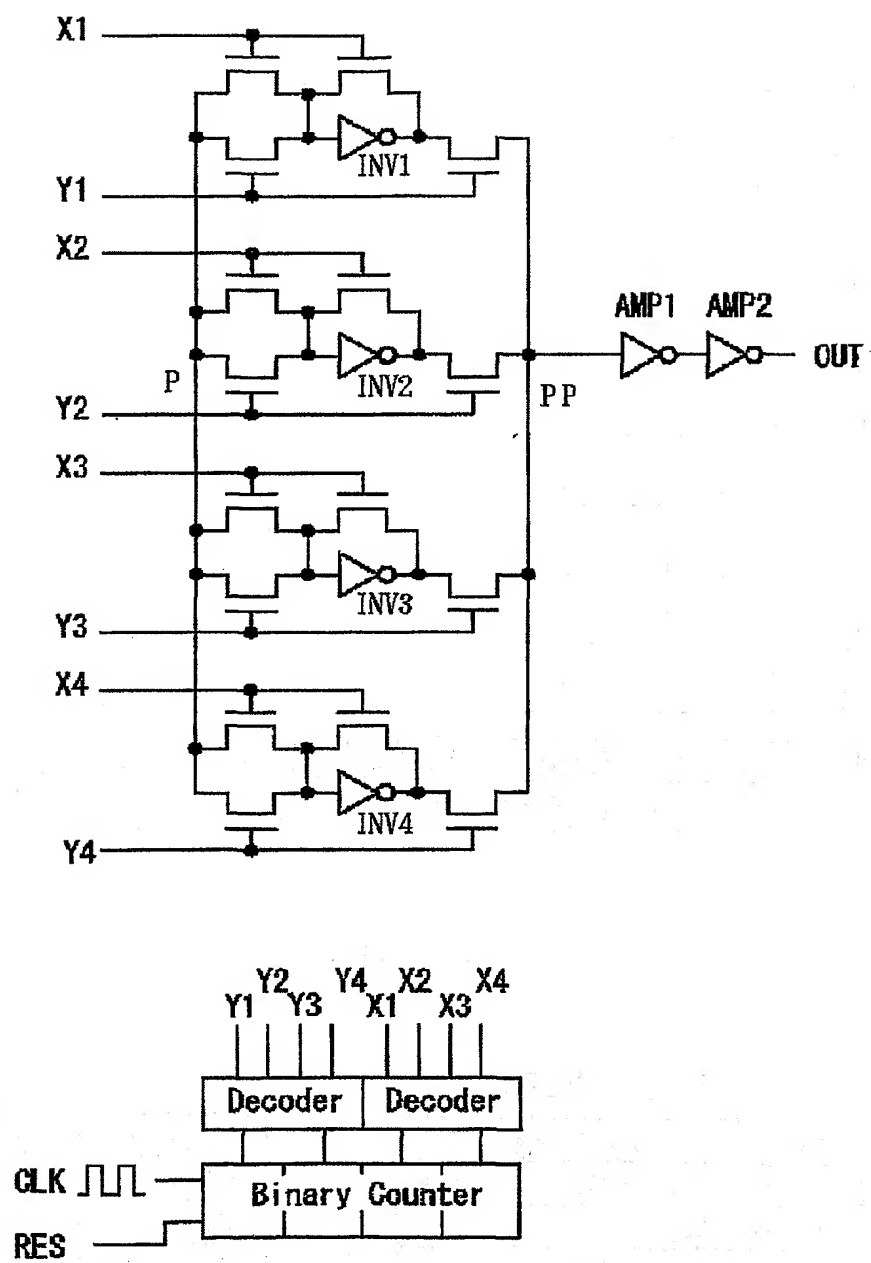
第 5 図



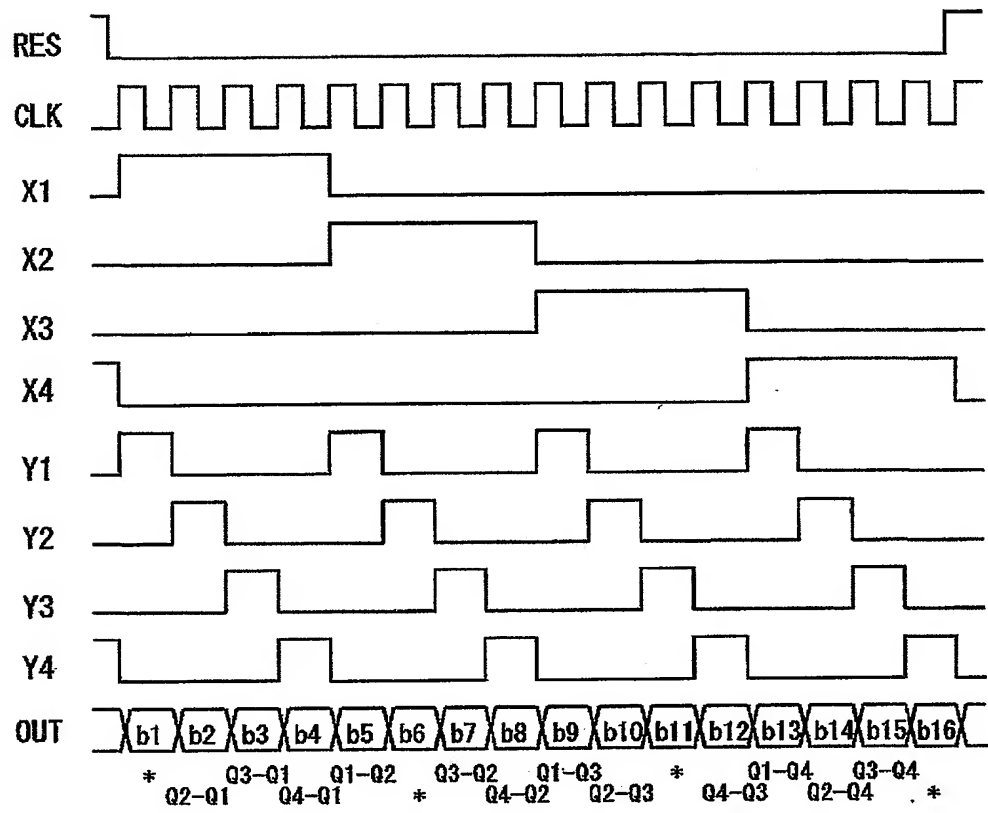
第 6 図



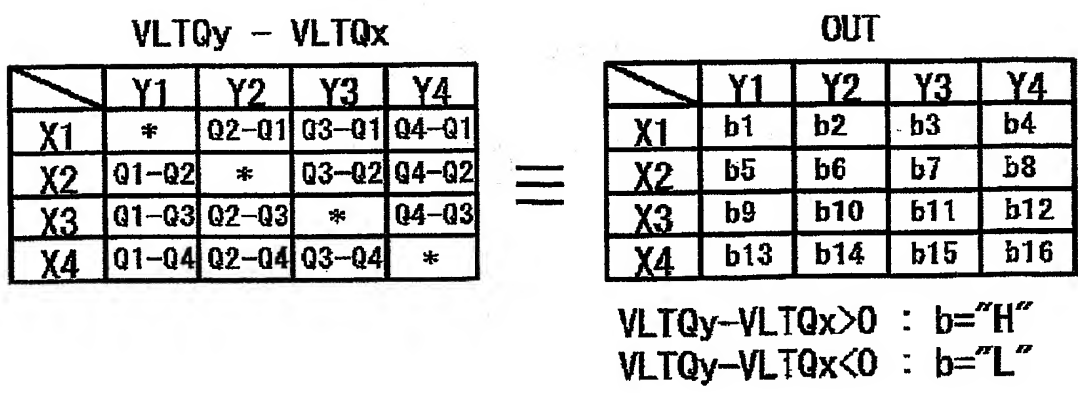
第 7 図



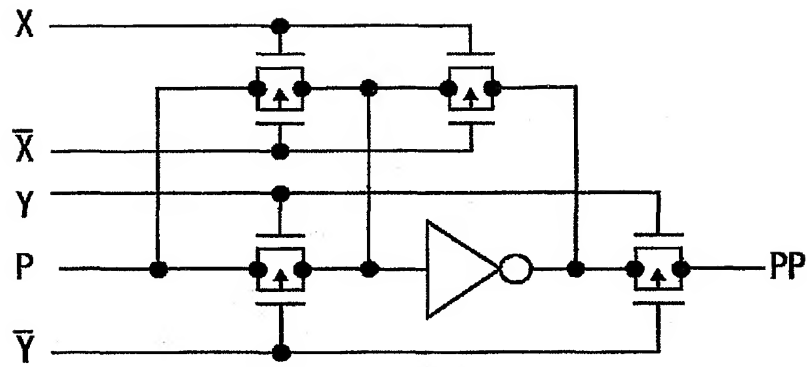
第 8 図



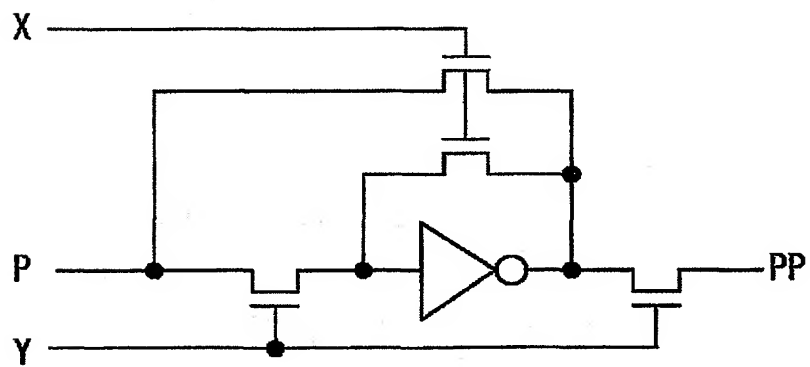
第 9 図



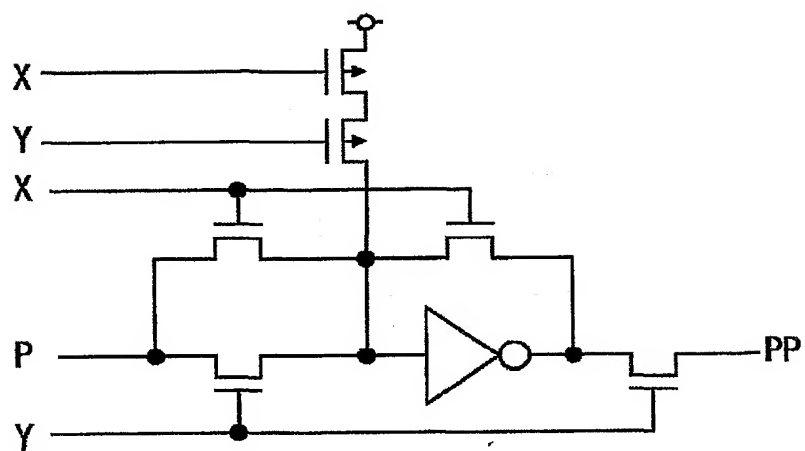
第 1 0 図



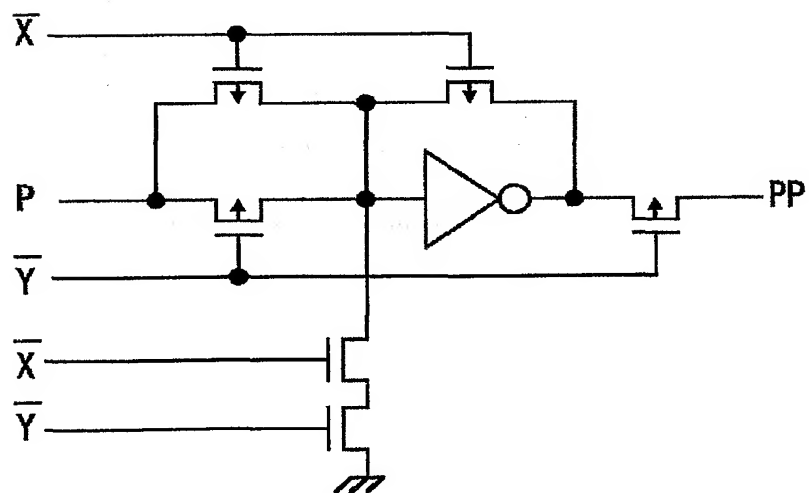
第 1 1 図



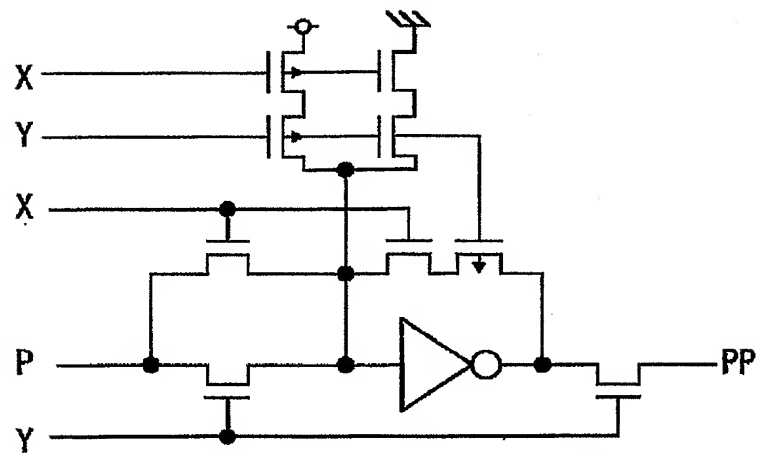
第 1 2 図



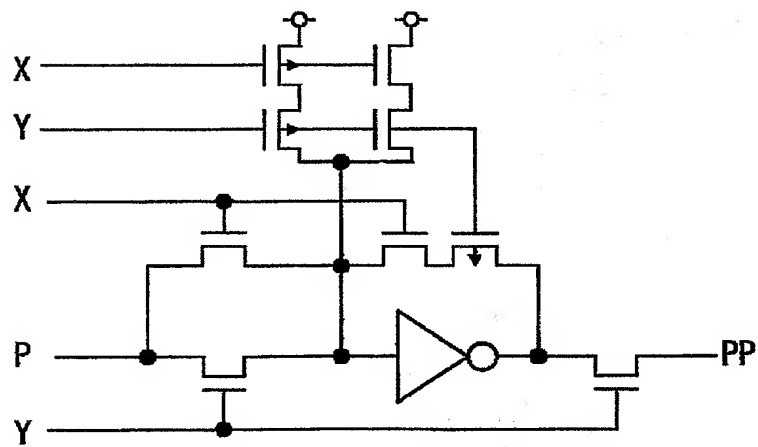
第 1 3 図



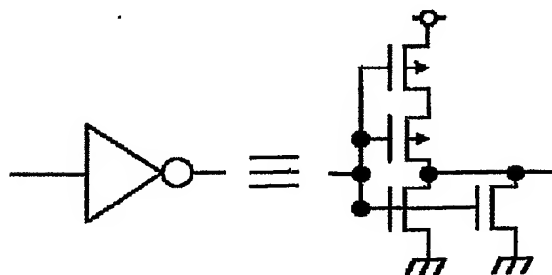
第 14 図



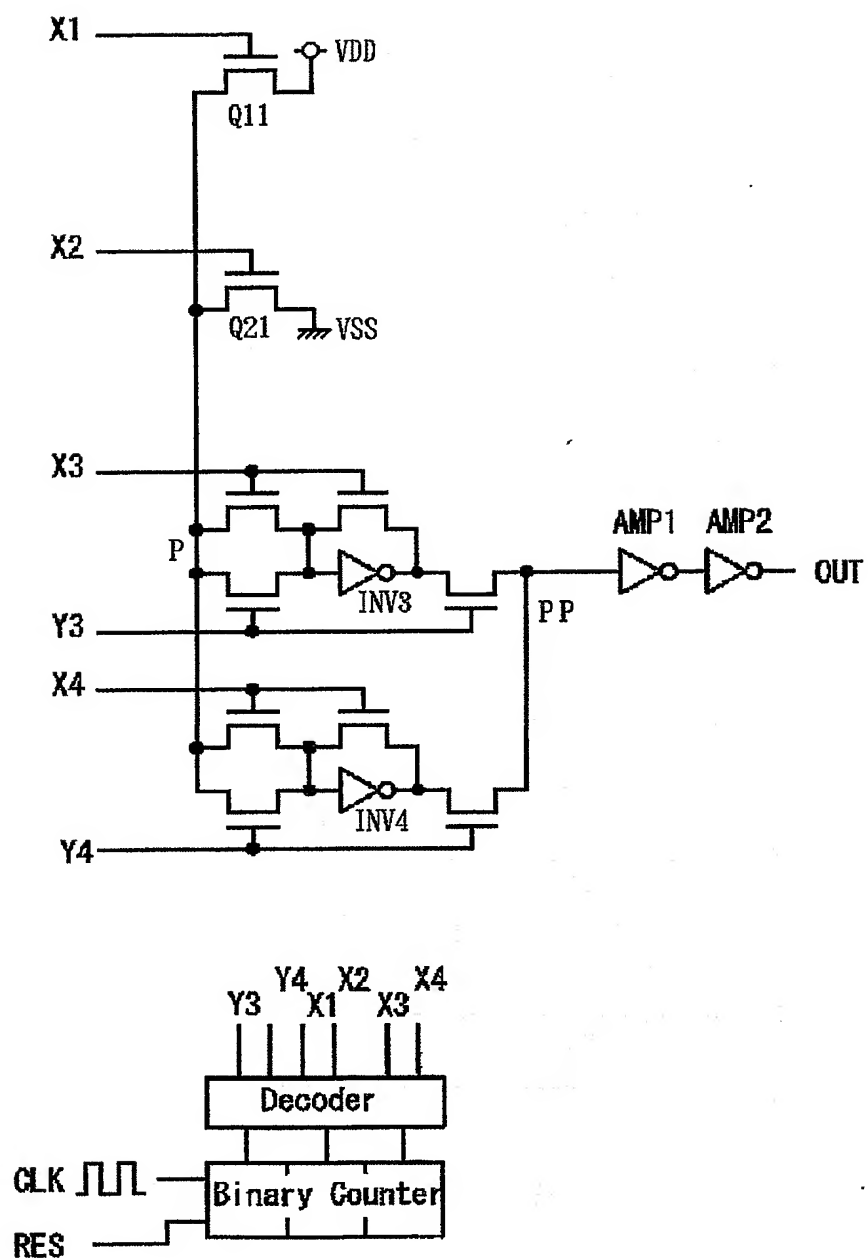
第 15 図



第 16 図

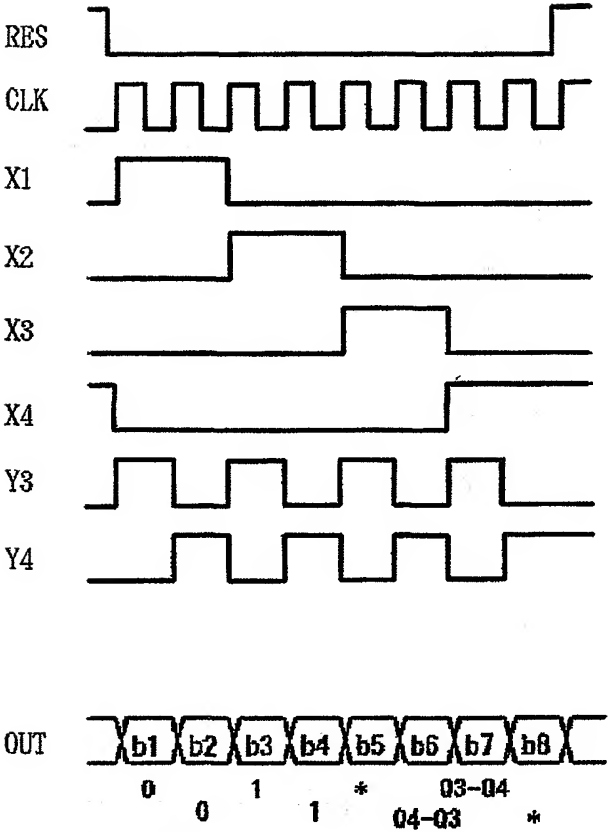


第 1 7 図



第 1 8 図

(A)

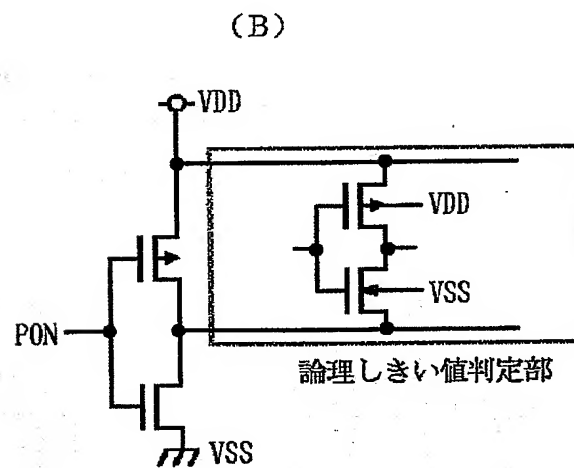
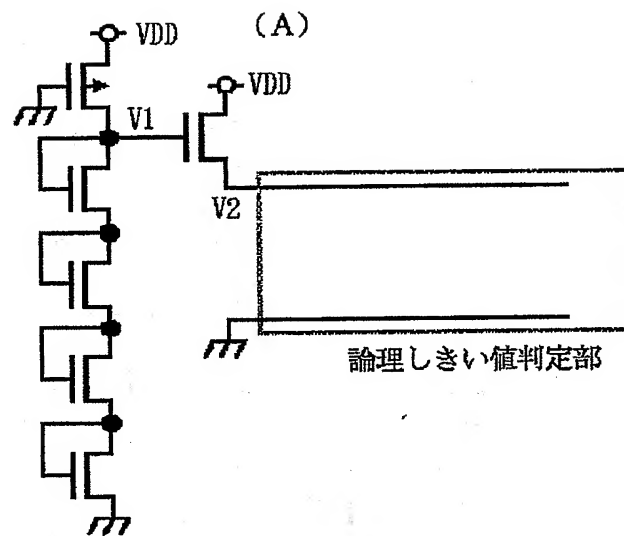


(B)

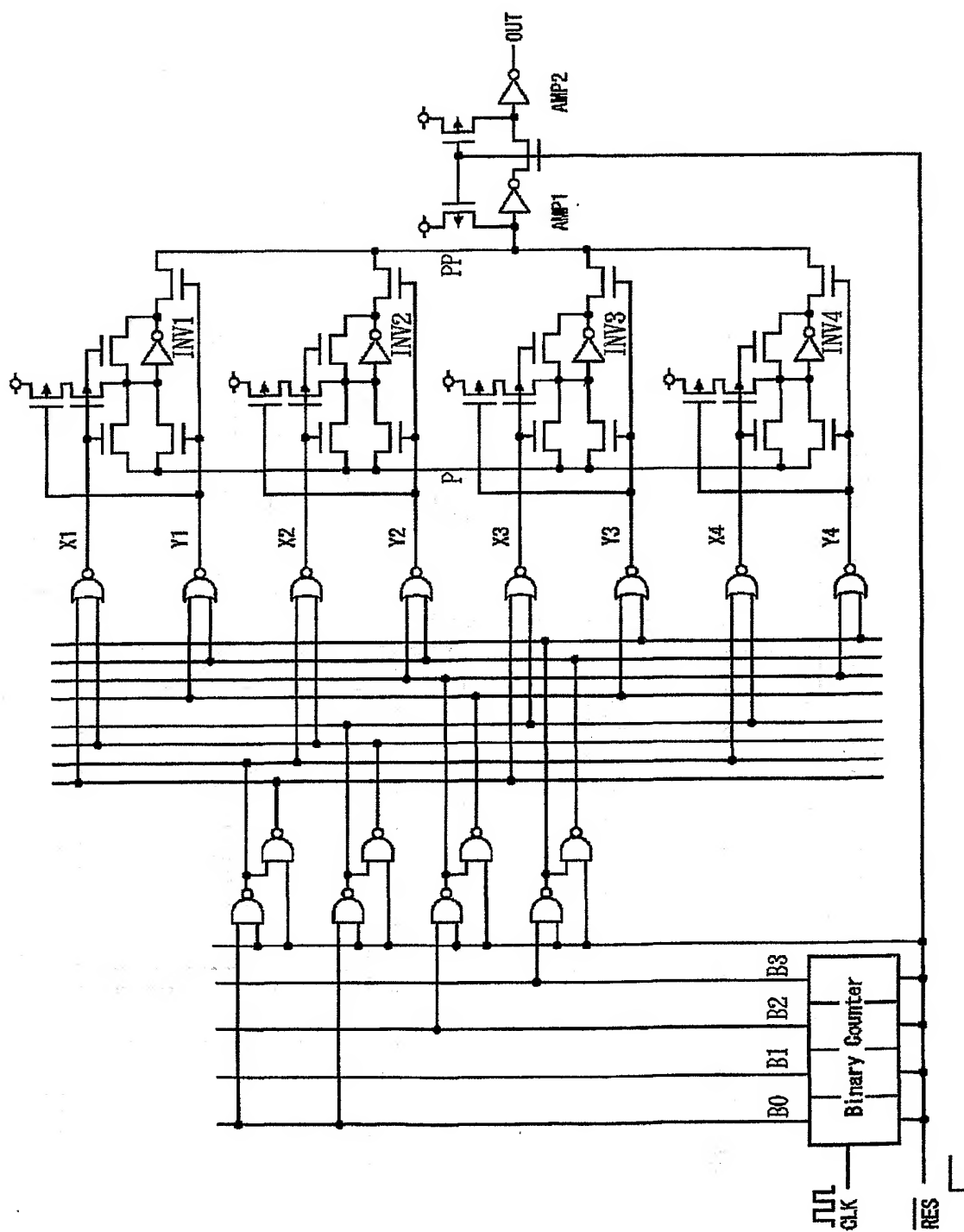
OUT			VLTQy - VLTQx		
	Y3	Y4		Y3	Y4
X1	b1	b2		0	0
X2	b3	b4		1	1
X3	b5	b6		*	02-01
X4	b7	b8		01-02	*

VLTQy-VLTQx>0 : b="H"
VLTQy-VLTQx<0 : b="L"

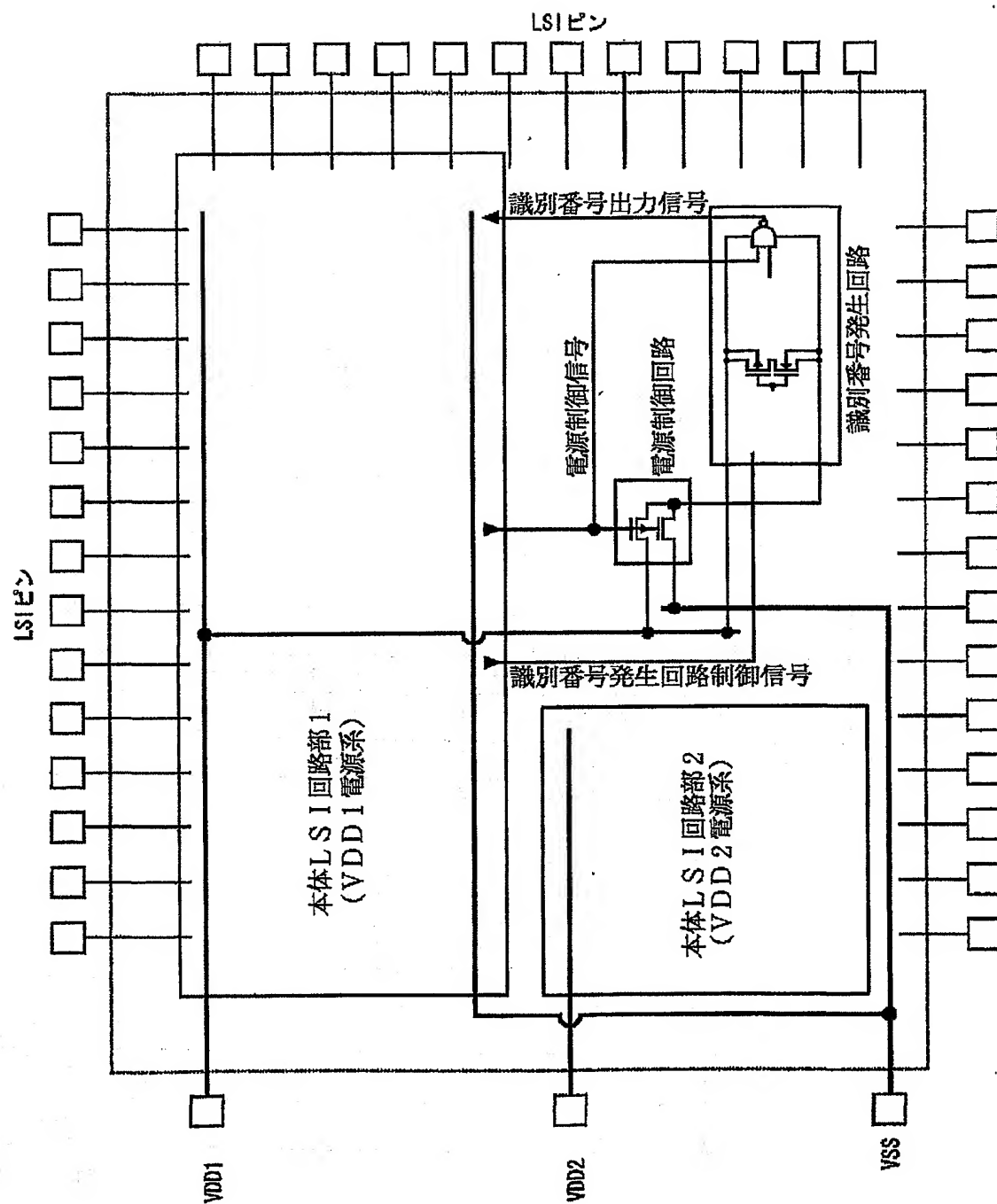
第 1 9 図



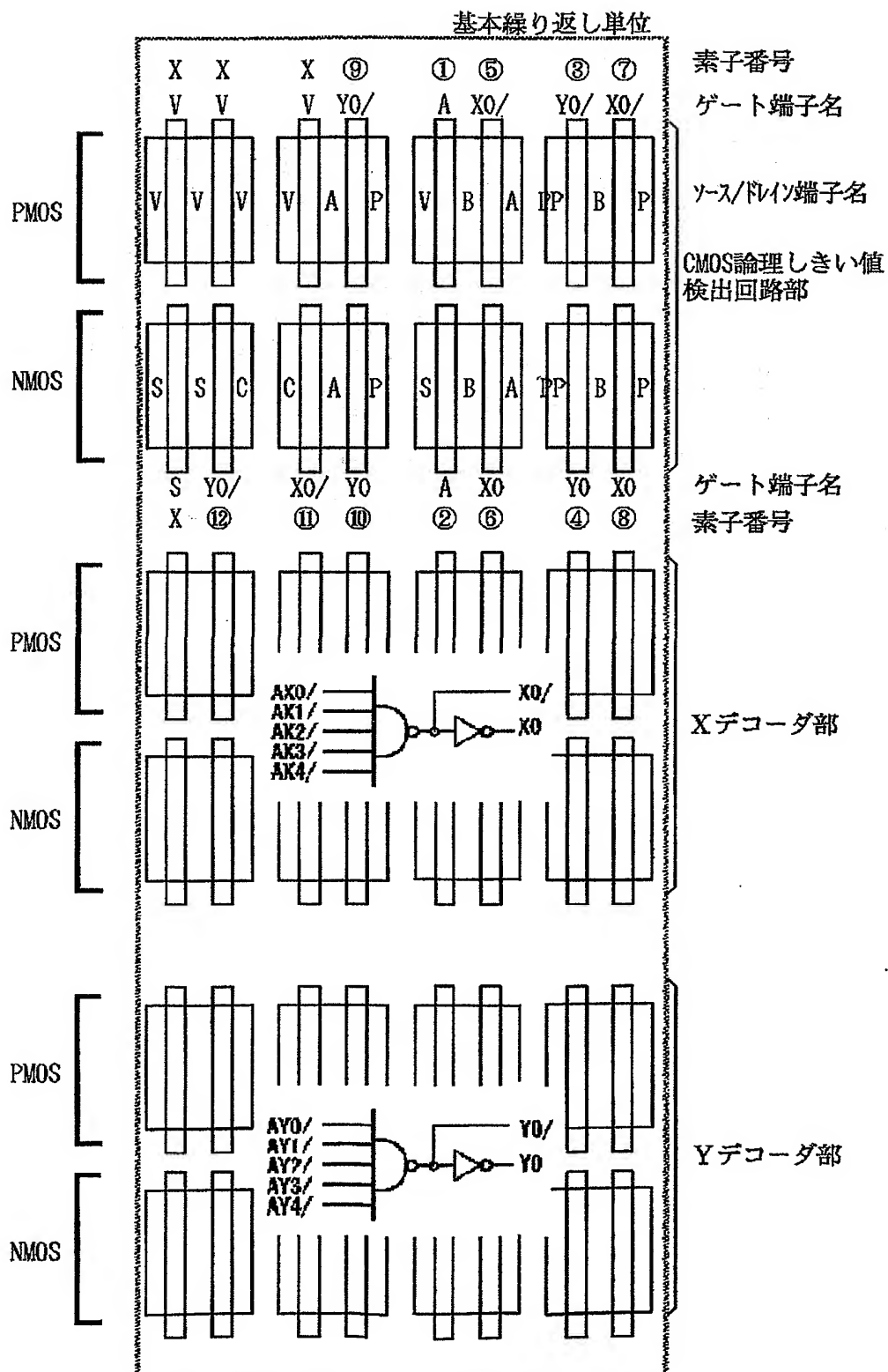
第 20 図



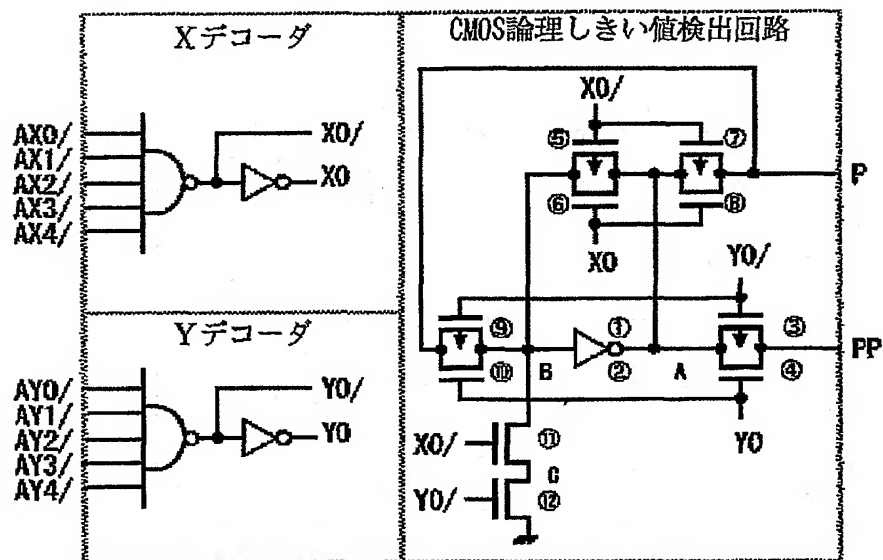
第 2 1 図



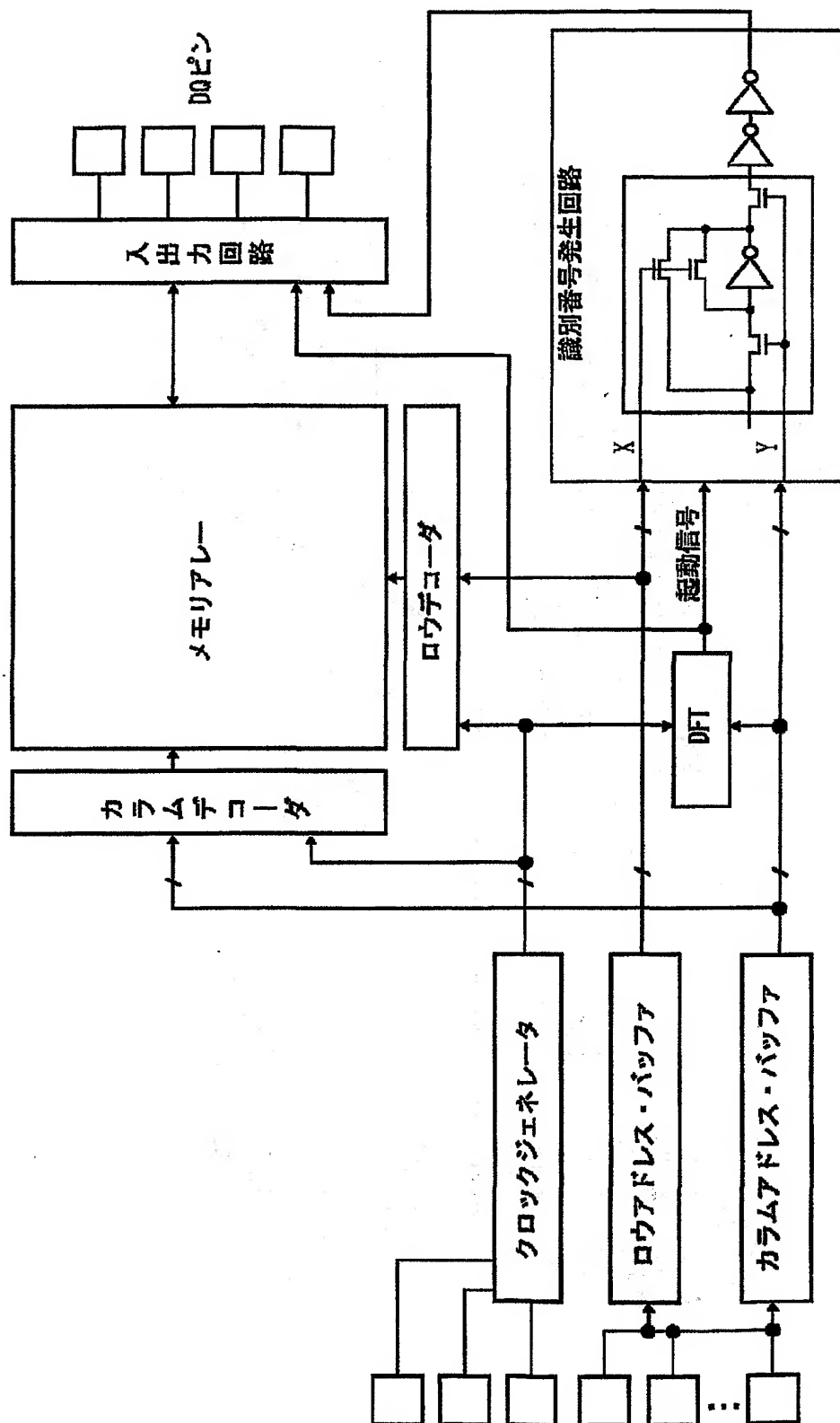
第 22 図



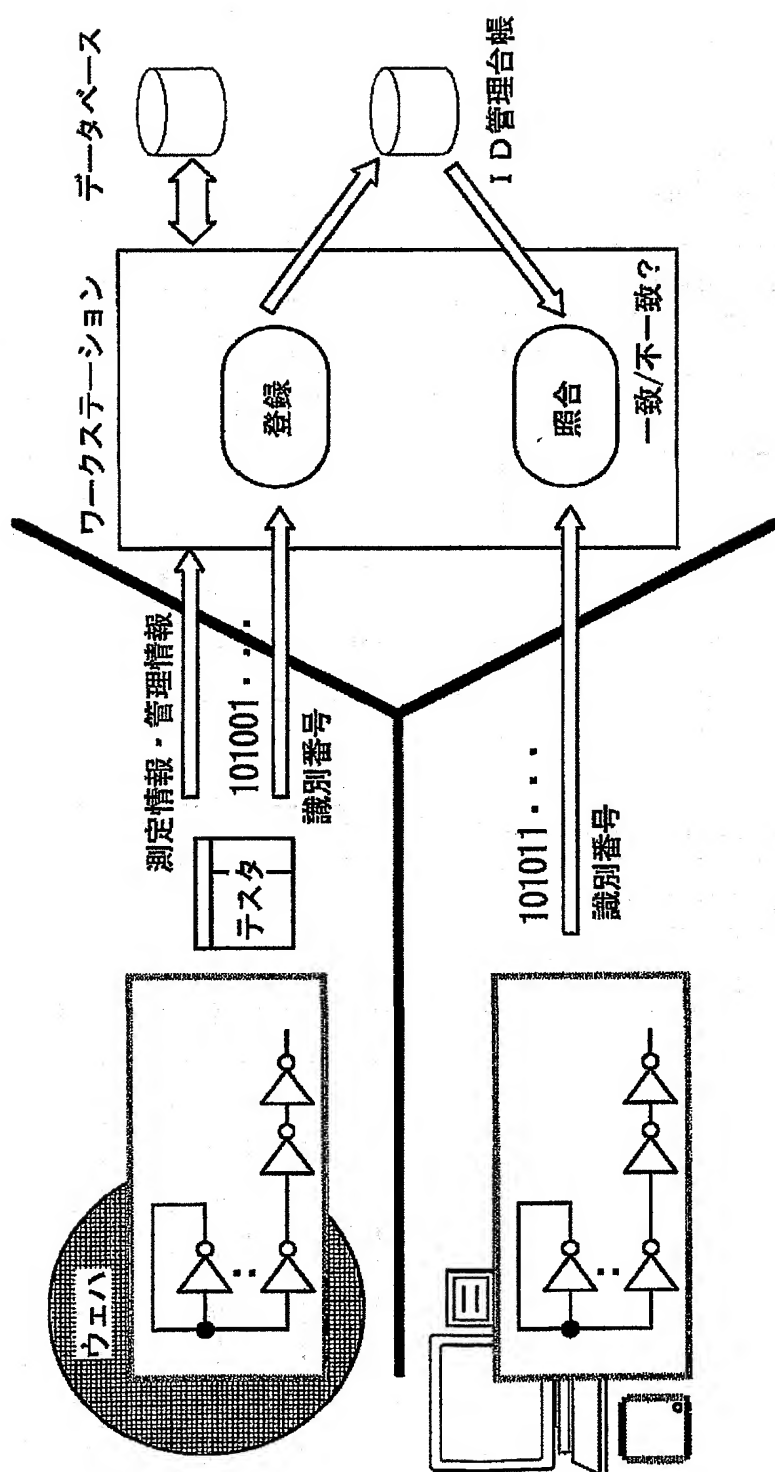
第 23 図



第 2 4 図



第 2 5 図



第 26 図

Q_y

$VLTQ_y - VLTQ_x > 0 \rightarrow 1$
 $VLTQ_y - VLTQ_x < 0 \rightarrow 0$

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	*	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
2		*	0	0	0	0	0	0	0	0	0	0	0	0	0	0
3			*	0	0	0	0	0	0	0	0	0	0	0	0	0
4				*	0	0	0	0	0	0	0	0	0	0	0	0
5					*	0	0	0	0	0	0	0	0	0	0	0
6						*	0	0	0	0	0	0	0	0	0	0
7							*	0	0	0	0	0	0	0	0	0
8								*	0	0	0	0	0	0	0	0
9									*	0	0	0	0	0	0	0
10										*	0	0	0	0	0	0
11											*	0	0	0	0	0
12												*	0	0	0	0
13													*	0	0	0
14														*	0	0
15															*	0
16																*

Q_x

15 14 13 12 11 10 9 8 7 6 5 4 3 2 1 0

0 1 2 3 4 5 6 7 8 9 10 11 12 13 14 15

1の合計 ←

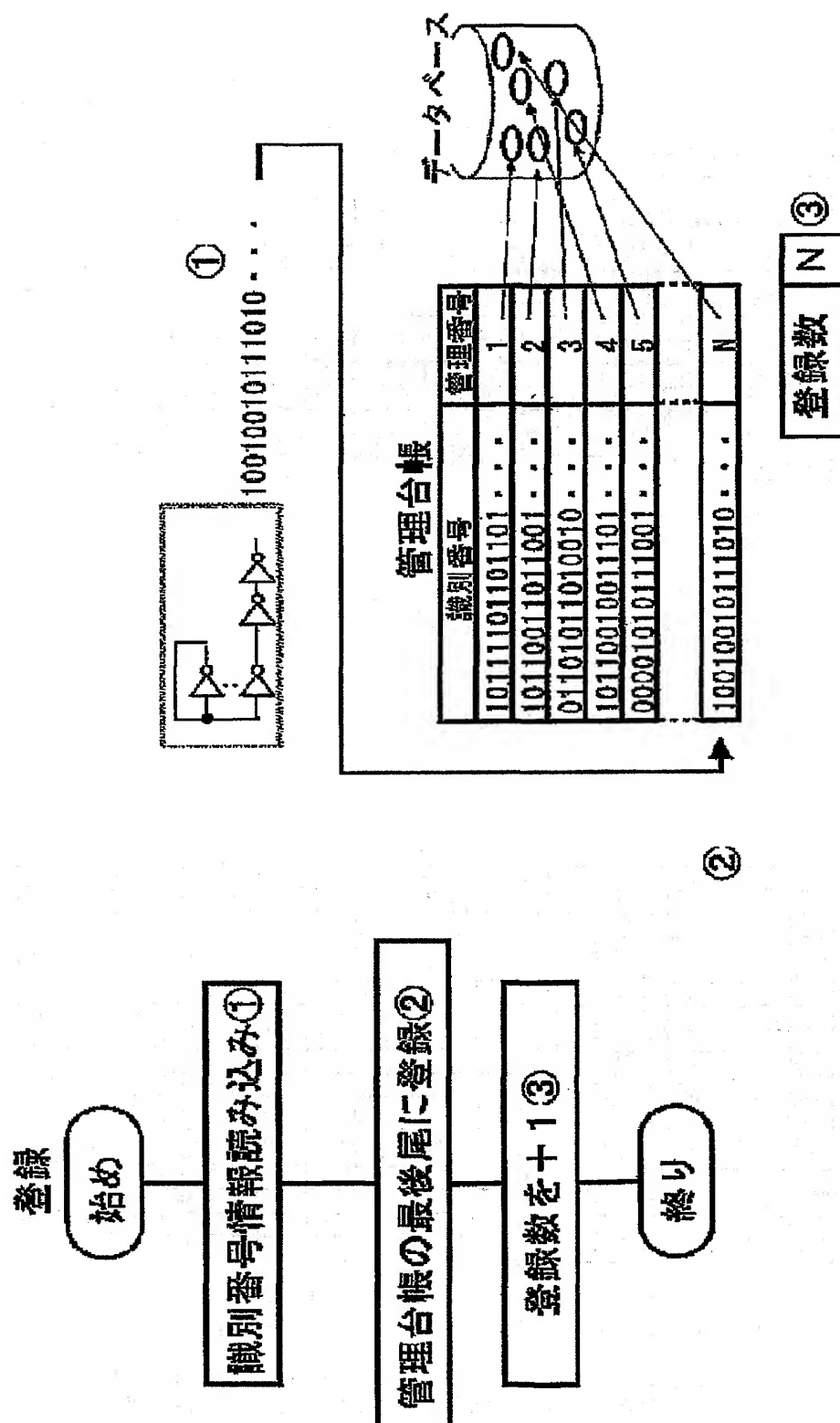
0の合計 ←

$VLTQ_1 > VLTQ_2 > VLTQ_3 > VLTQ_4 > VLTQ_5 > VLTQ_6 > VLTQ_7 > VLTQ_8 >$
 $VLTQ_9 > VLTQ_{10} > VLTQ_{11} > VLTQ_{12} > VLTQ_{13} > VLTQ_{14} > VLTQ_{15} > VLTQ_{16}$

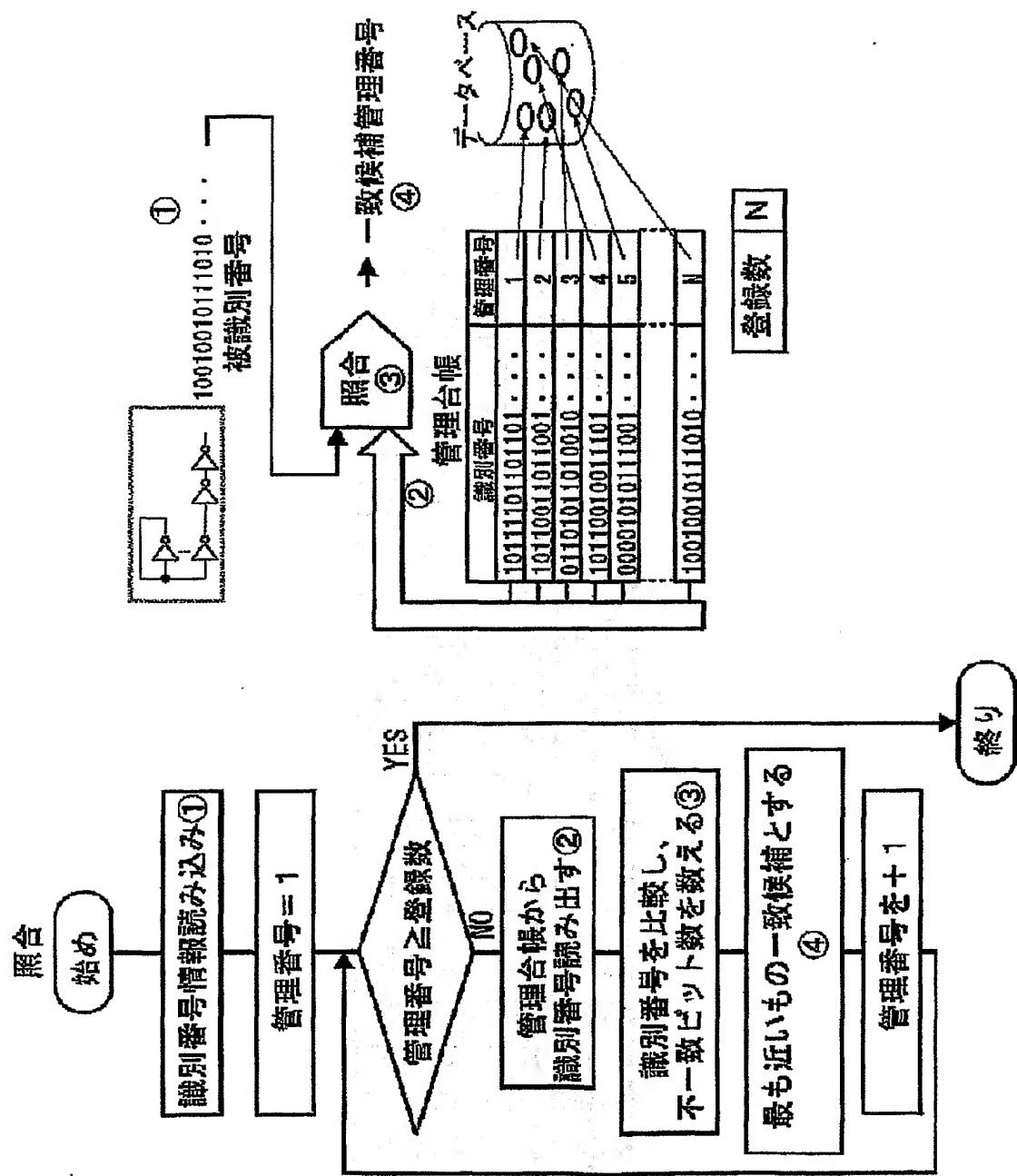
第 27 回

		Qy																	
		1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16		
Qx	1	*					0	0						0				1の合計	0の合計
	2	0	*			0	0	0	0		0	0		0				12	3
	3	0	0	*	0	0	0	0	0	0	0	0	0	0	0	0		7	8
	4	0	0		*	0	0	0	0	0	0	0		0		0		1	14
	5	0				*	0	0	0		0	0		0				4	11
	6						*											8	7
	7						0	*										15	0
	8	0					0	0	*		0			0				14	1
	9	0	0			0	0	0	0	*	0	0		0		0		10	5
	10	0					0	0			*			0				5	10
	11	0					0	0	0		0	*		0				11	4
	12	0	0		0	0	0	0	0	0	0		*	0	0	0		9	6
	13						0	0						*				2	13
	14	0	0		0	0	0	0	0	0	0	0		0	*	0		13	2
	15	0	0			0	0	0	0		0	0		0		*		3	12
	16	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	*	6	9
		3	8	14	11	7	0	1	5	10	4	6	13	2	12	9	15	← 1の合計	
		12	7	1	4	8	15	14	10	5	11	9	2	13	3	6	0	← 0の合計	

第 2 8 図



第 2 9 図



第 3 0 図

不一致
ビット数

素子番号

ビット
被照合番号
照合番号1
照合番号2
照合番号3
照合番号4
照合番号5

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24
0	0	0	0	0	0	1	0	1	1	0	0	1	1	0	0	0	0	1	0	1	1	1	1
0	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	1	1	0	0	1	1
0	0	0	0	0	0	1	0	1	0	0	0	1	0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0	1	0	1	1	1	1
0	0	0	0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	1	1	1

9
15
5
17
1

第 3 1 図

素子の順位

1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
1	2	3	4	5	6	7	9	8	10	11	12	13	14	15	16
3	13	8	1	7	5	6	4	15	16	9	12	14	10	2	11
6	1	2	3	4	5	7	8	9	10	11	12	13	14	15	16

素子番号
被識別番号
識別番号1
識別番号2
識別番号3

順位の距離の絶対値

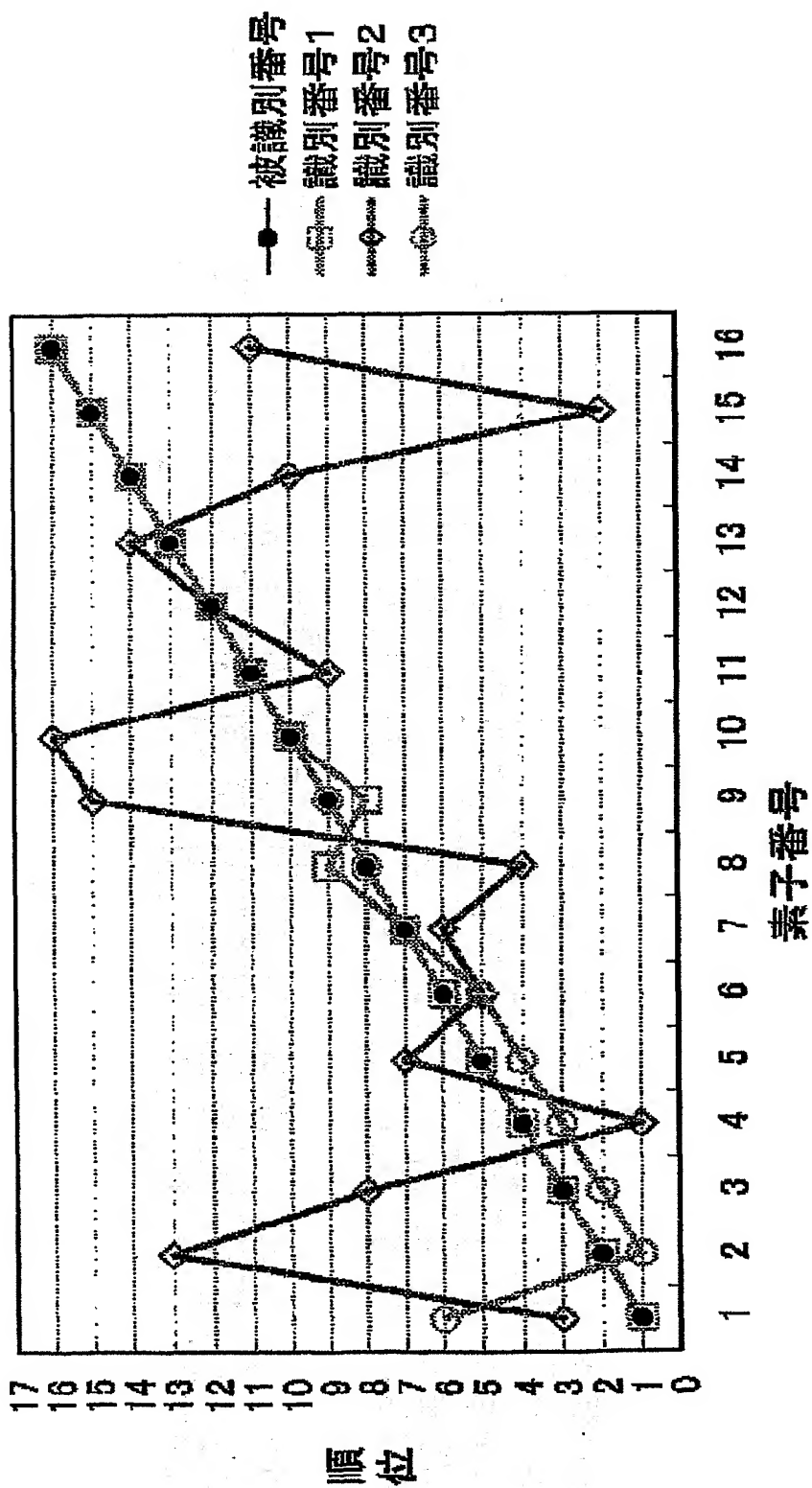
0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0
2	11	5	3	2	1	1	4	6	6	2	0	1	4	13	5
5	1	1	1	1	1	0	0	0	0	0	0	0	0	0	0

識別番号1
識別番号2
識別番号3

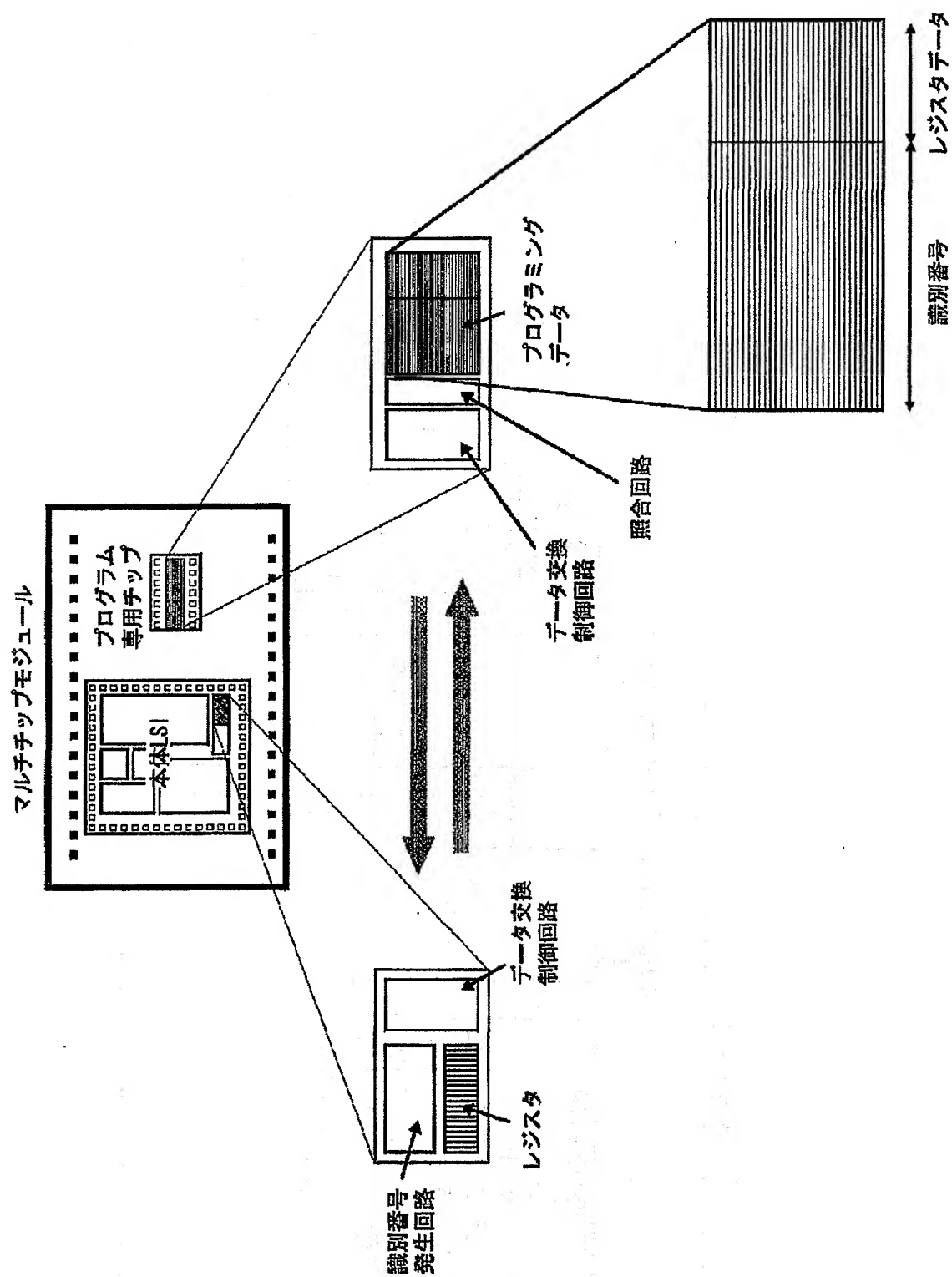
合計
平均

2	0.13
66	4.13
10	0.63

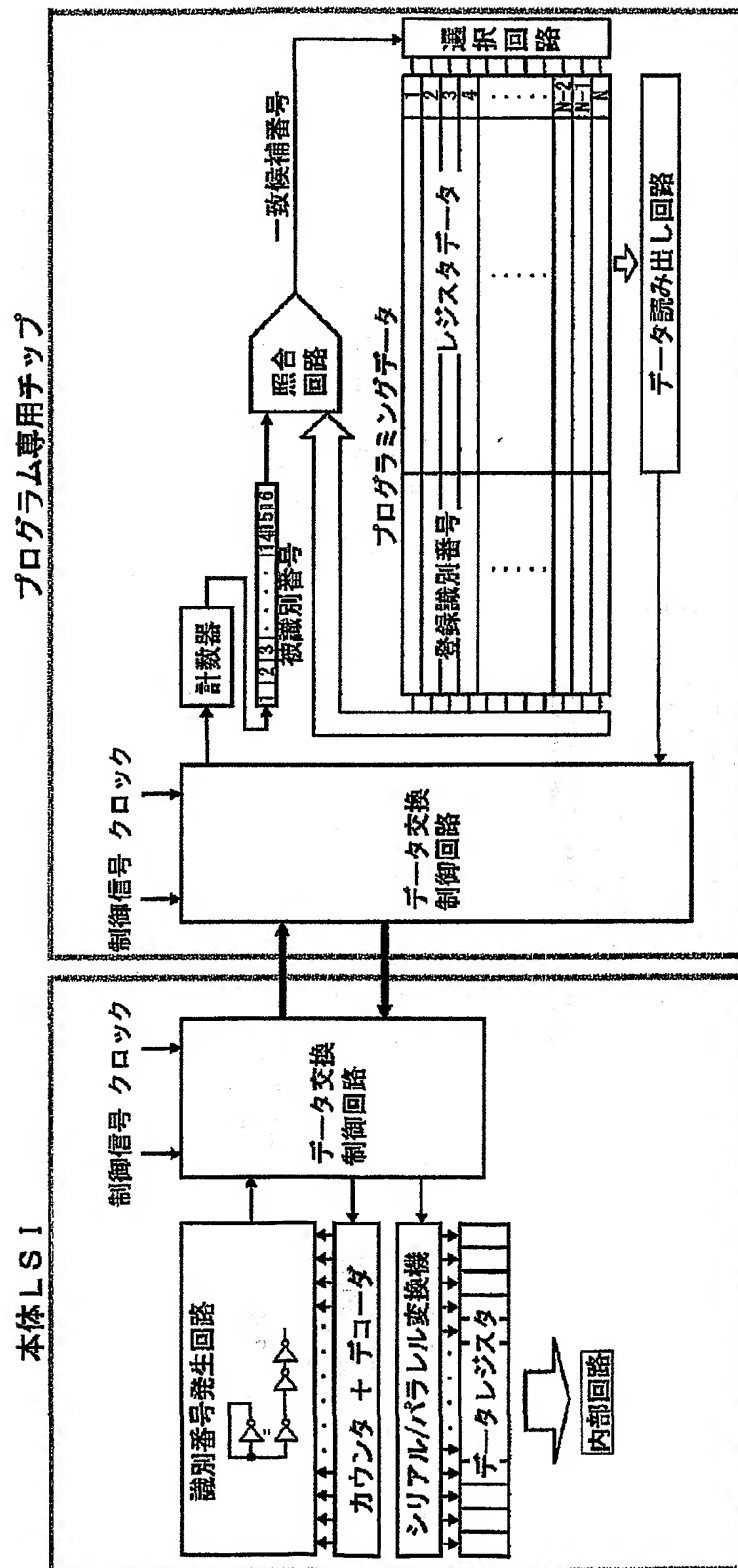
第 3 2 図



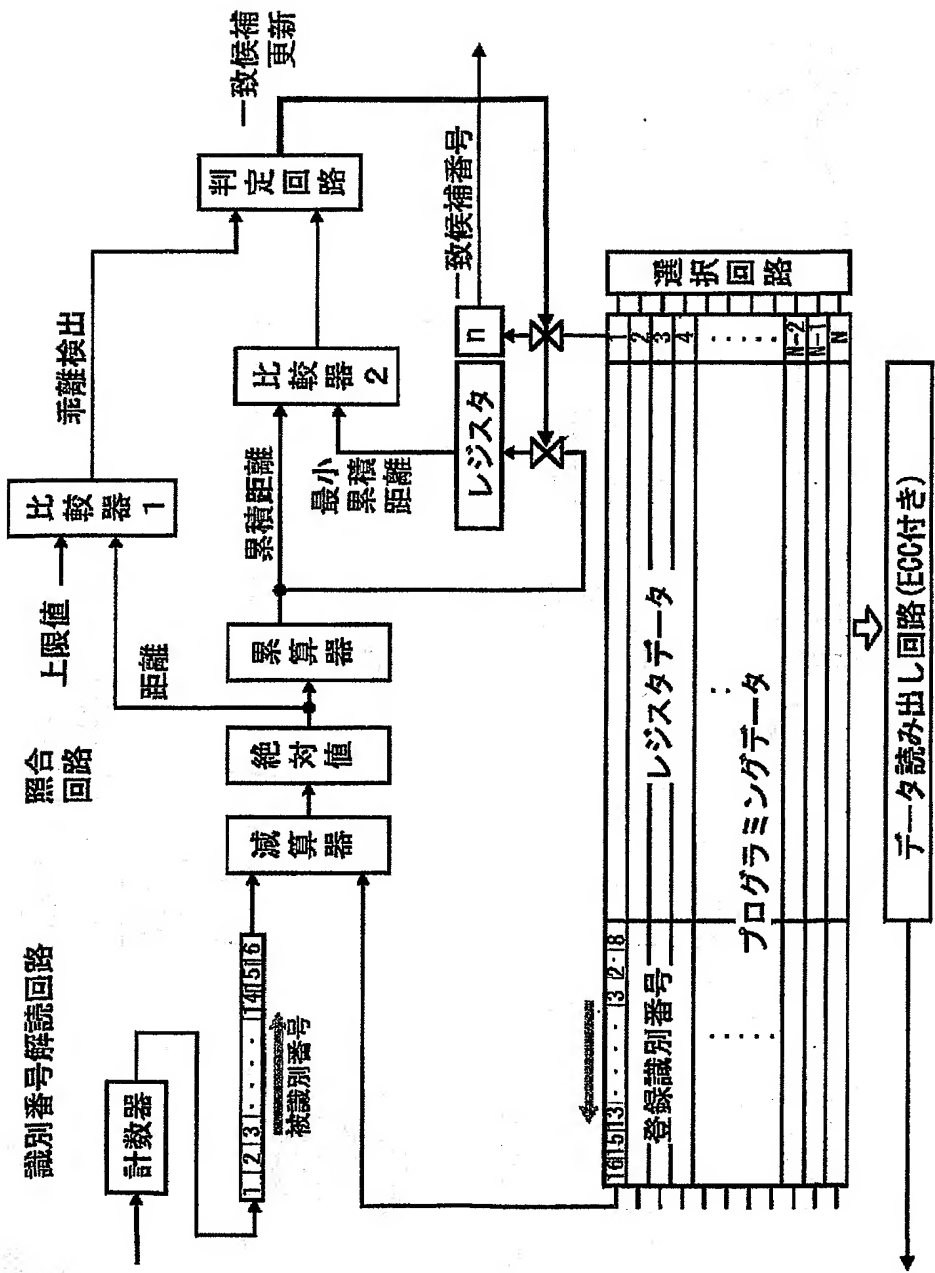
第 33 図



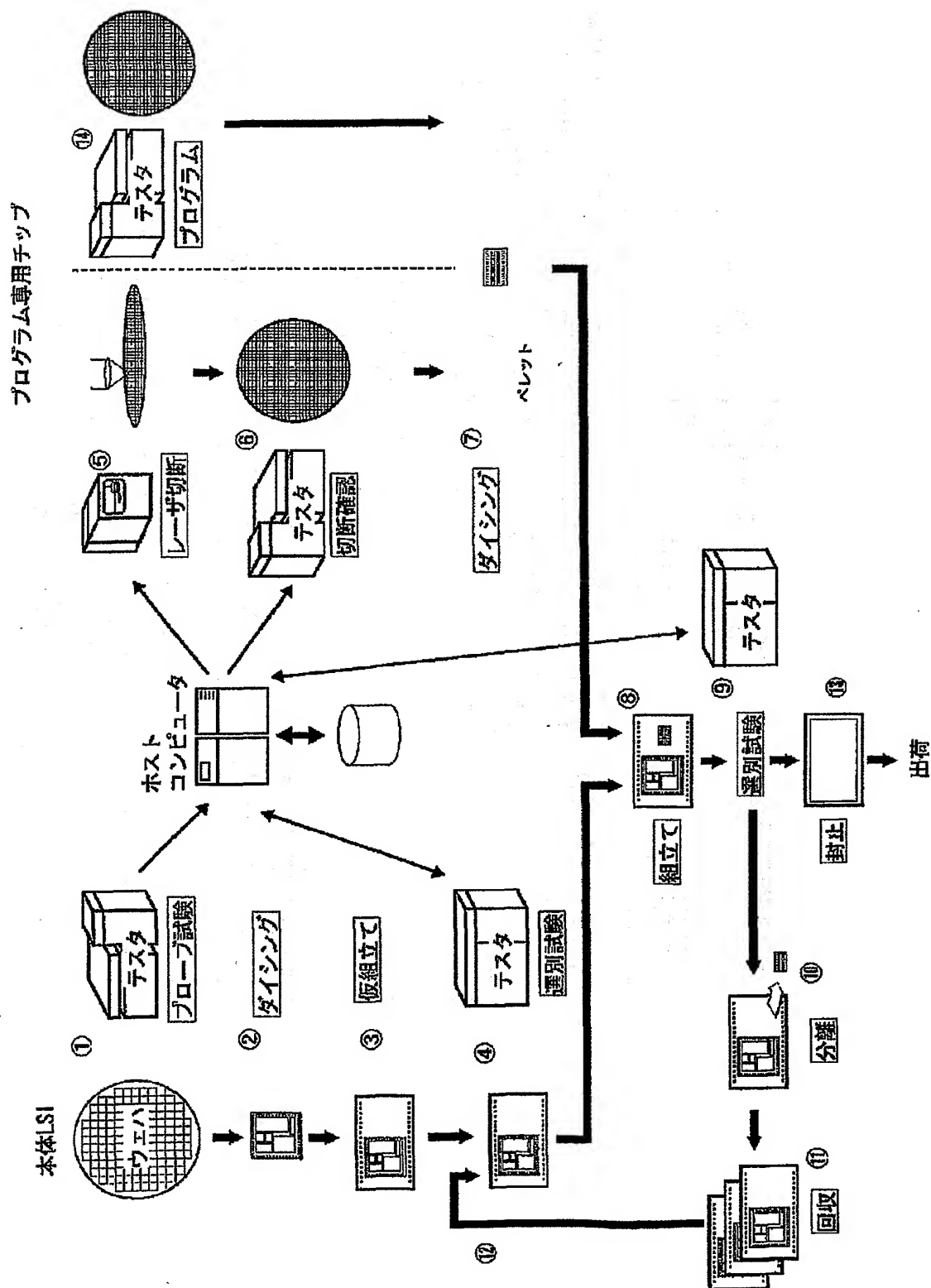
第 3 4 図



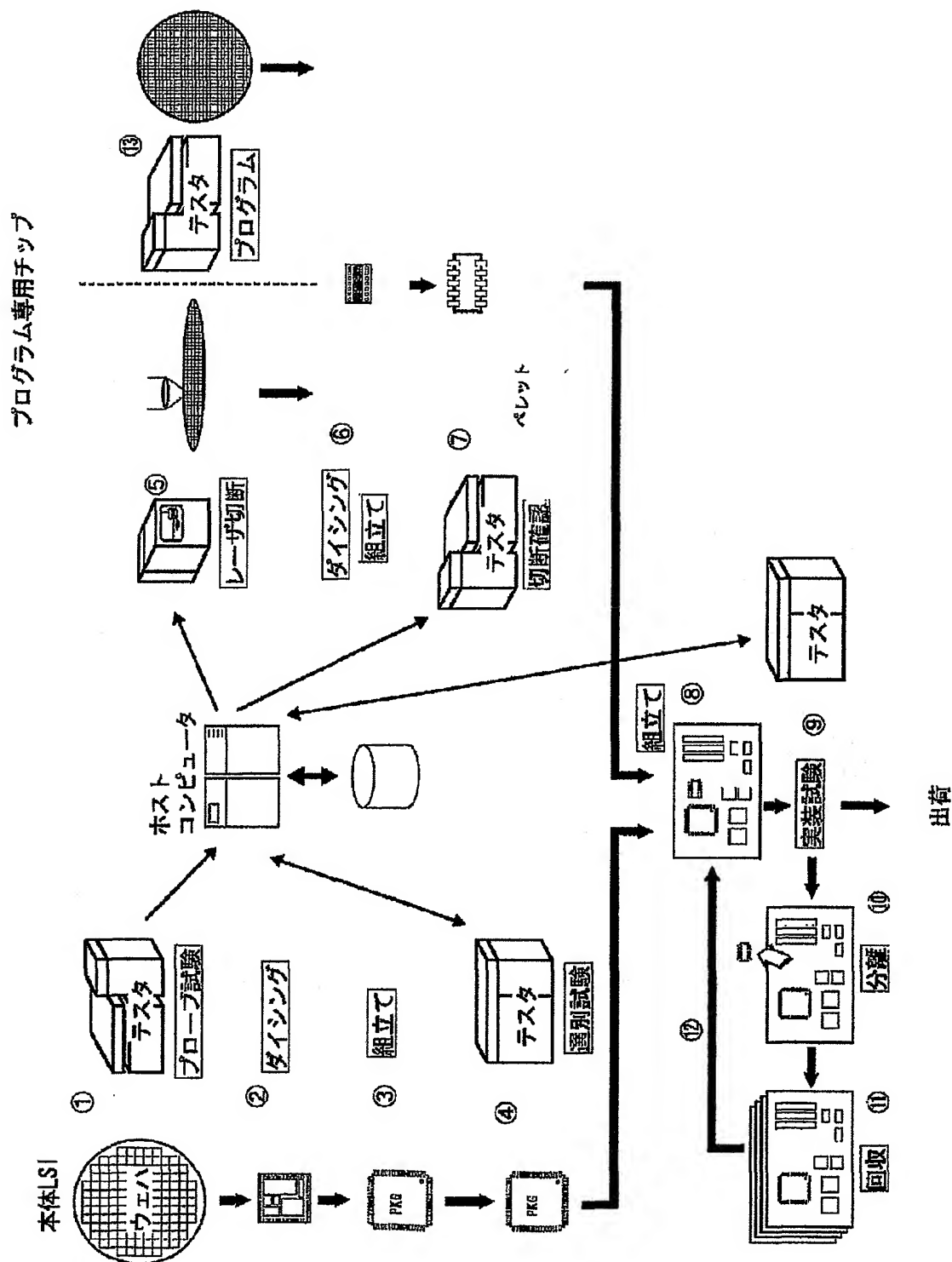
第 3 5 図



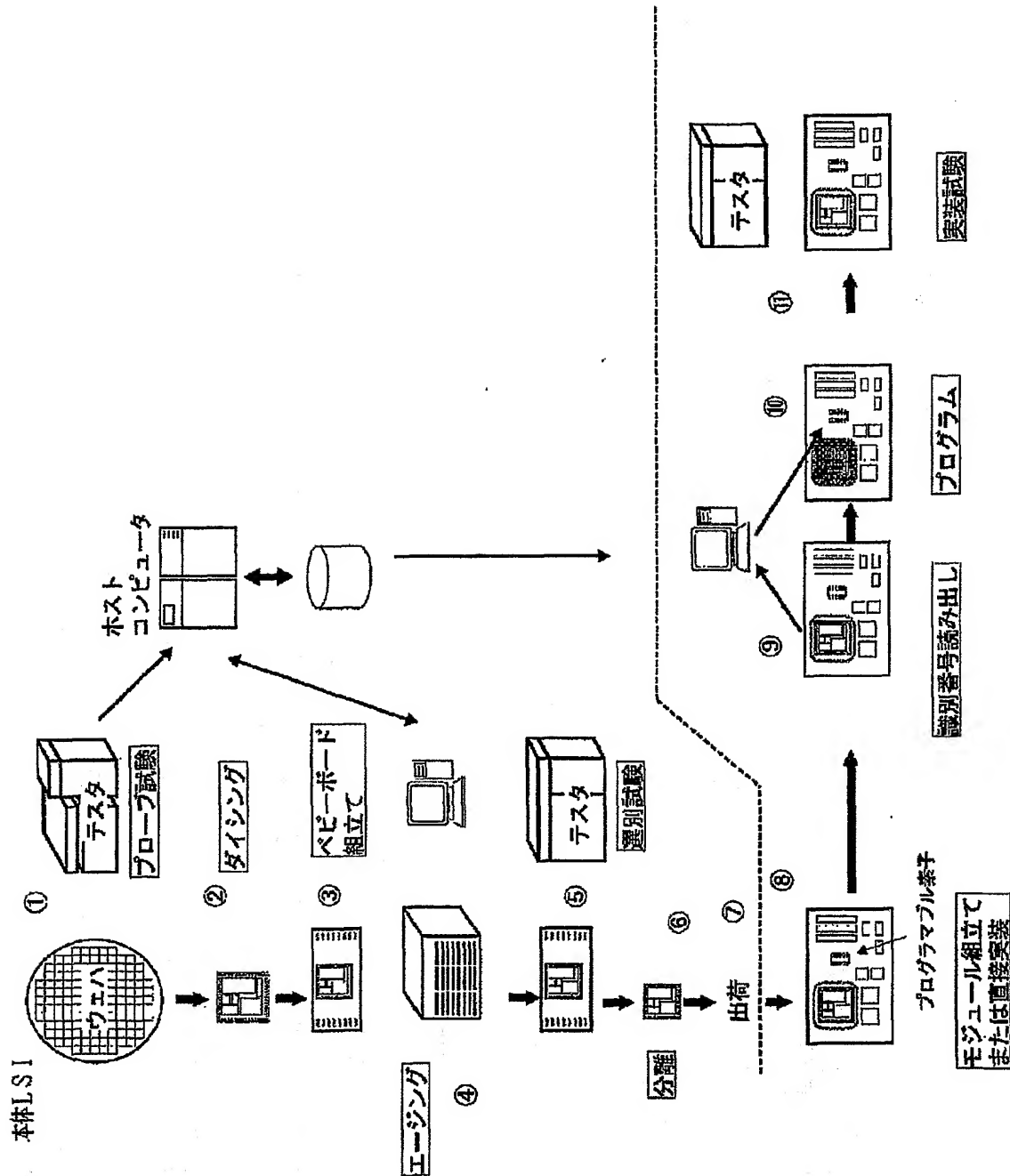
第 3 6 図



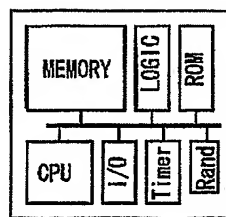
第 3 7 図



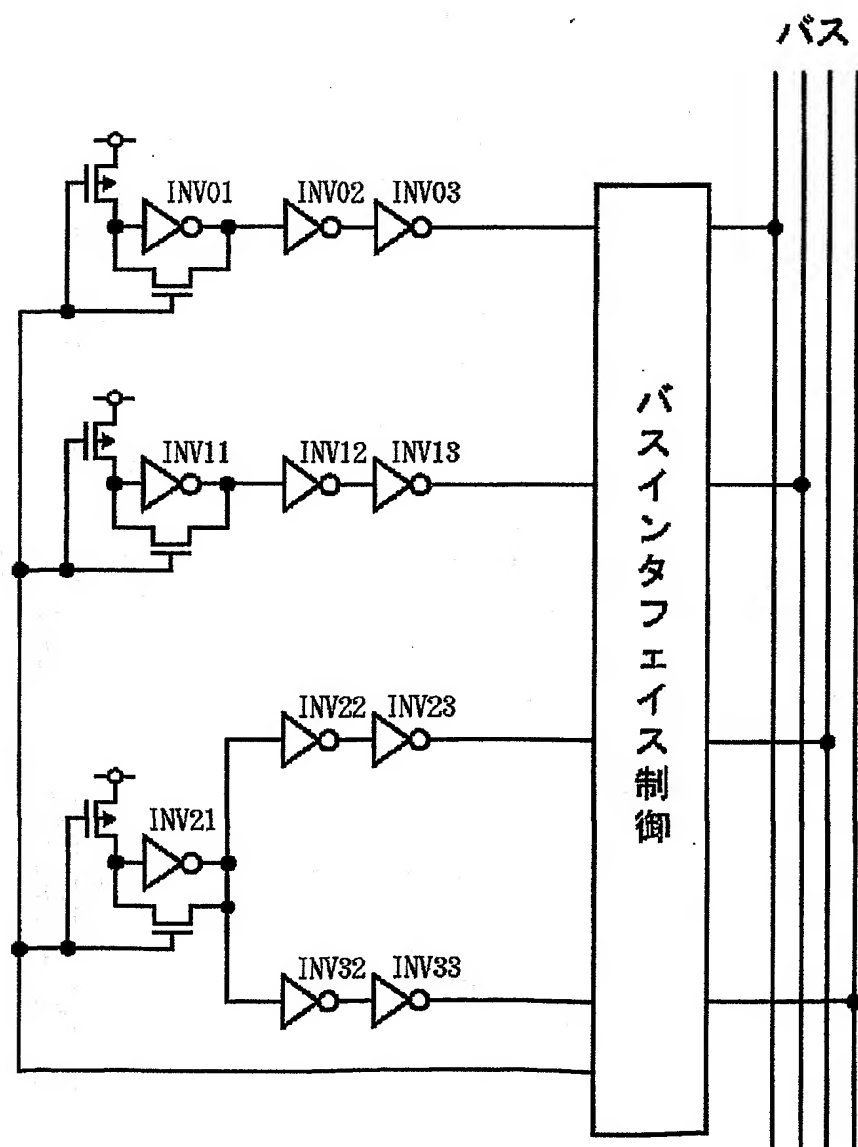
第 3 8 図



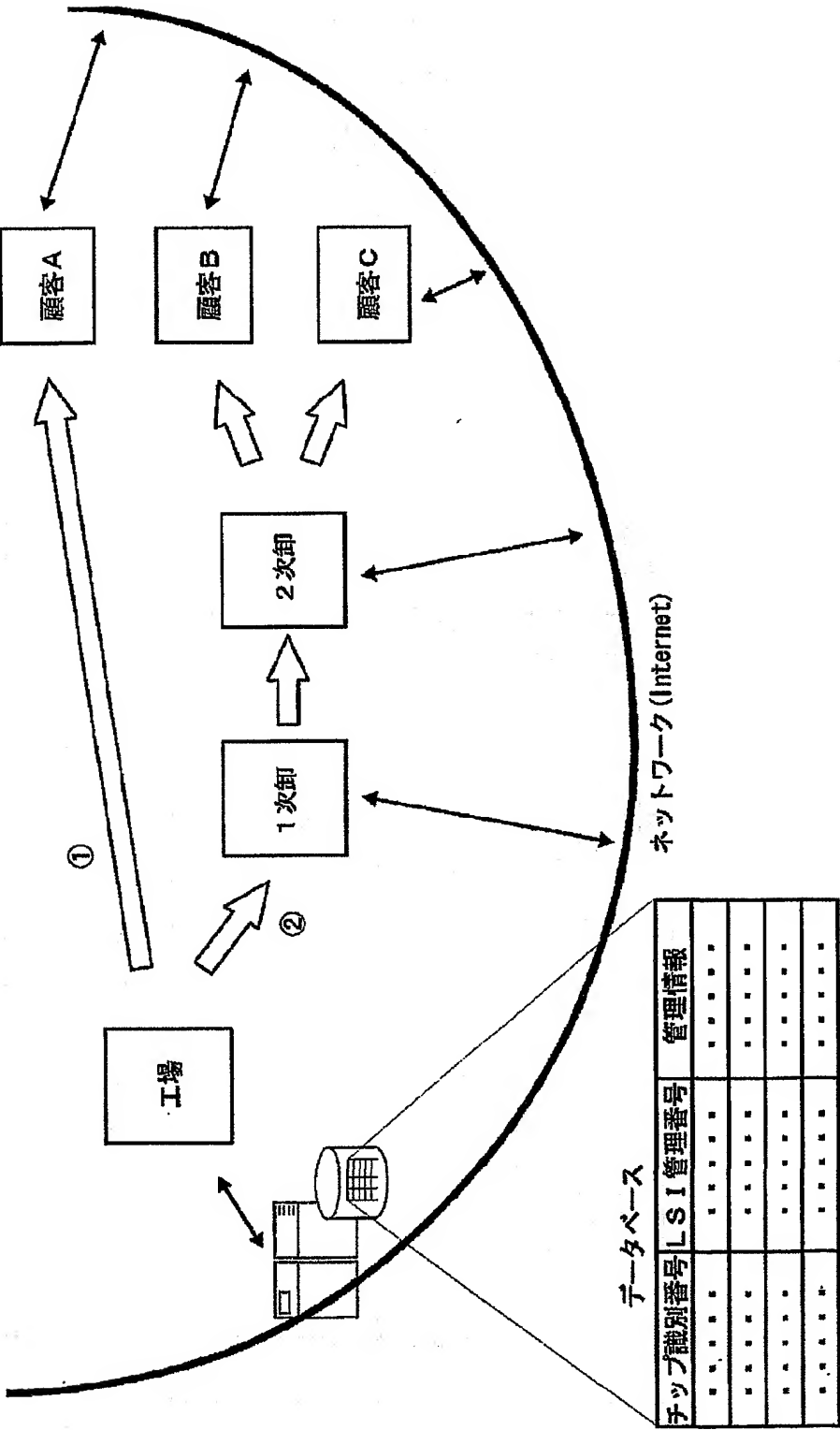
第 3 9 図



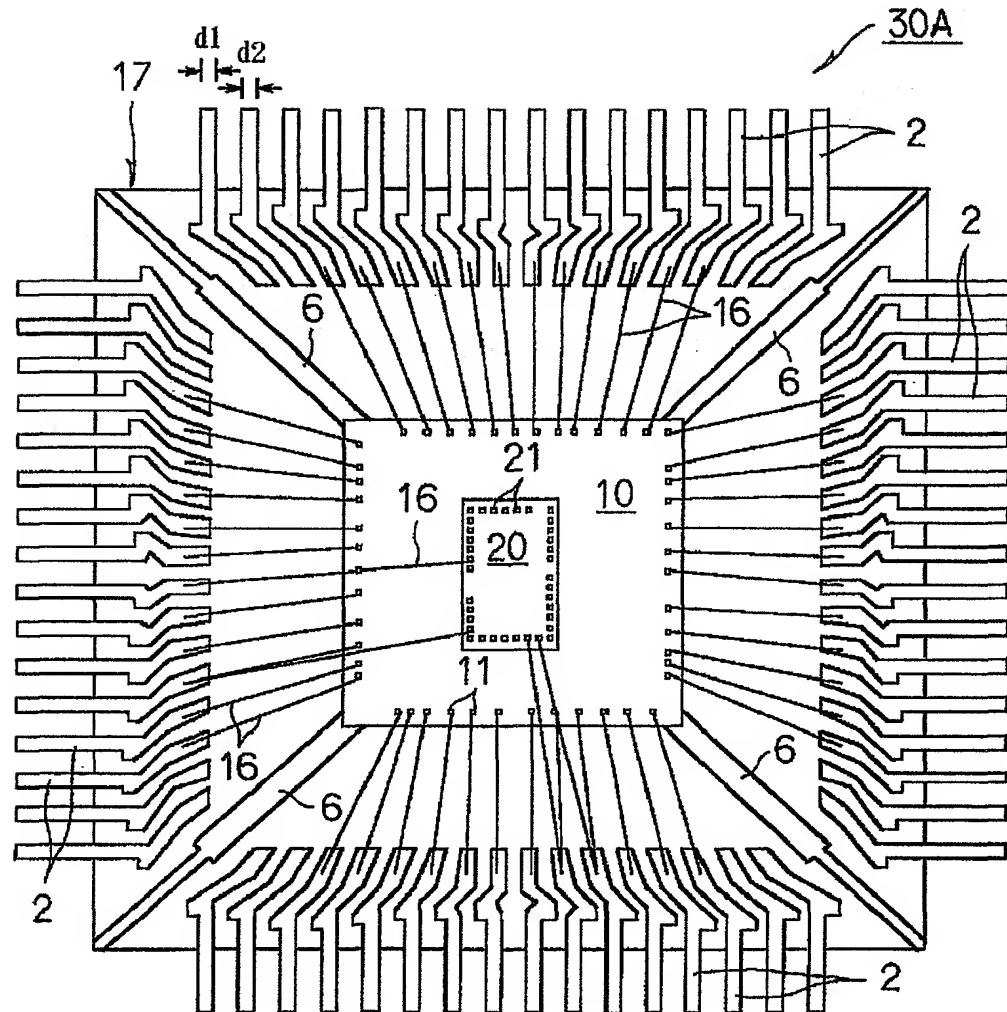
第 4 0 図



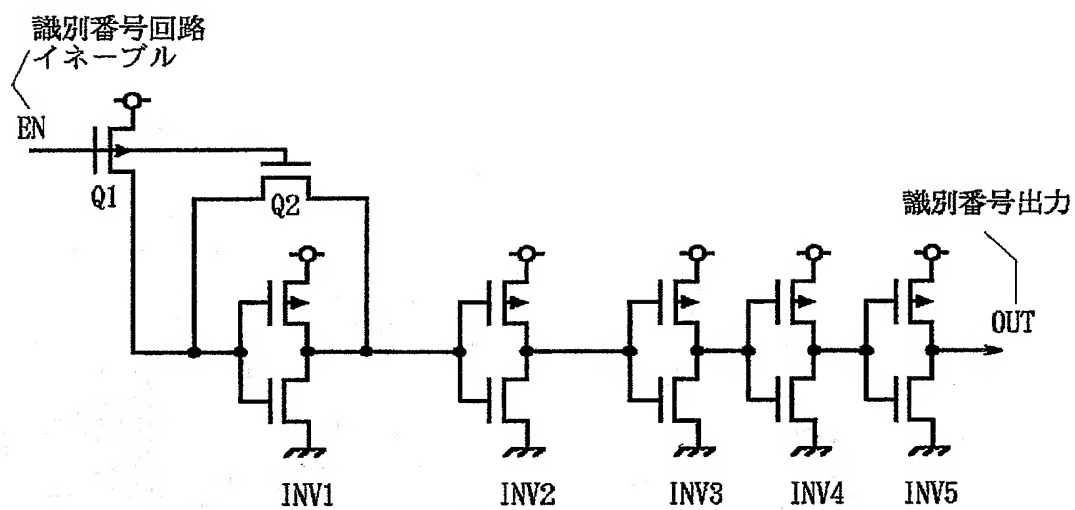
第 4 1 図



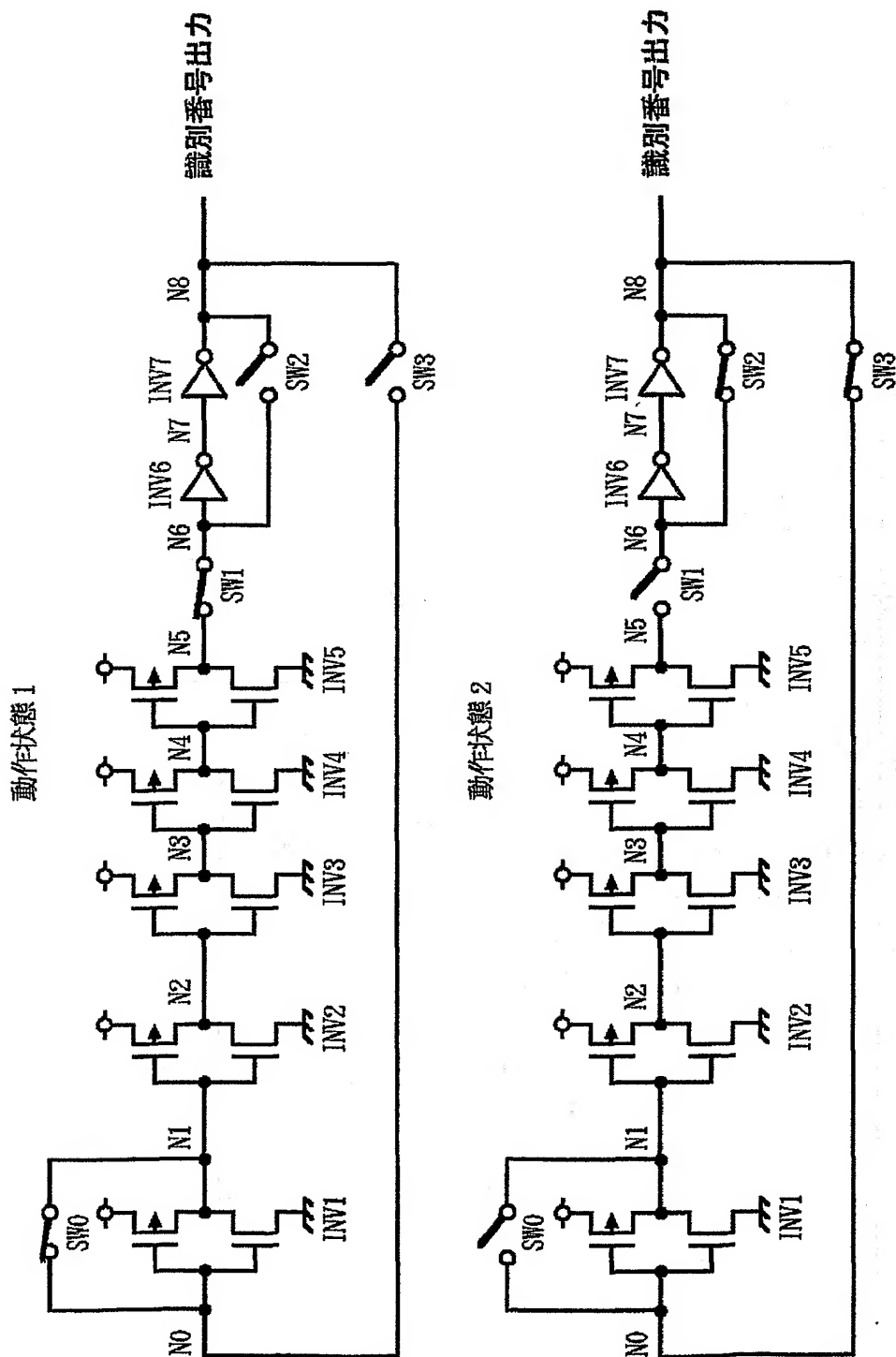
第 4 2 図



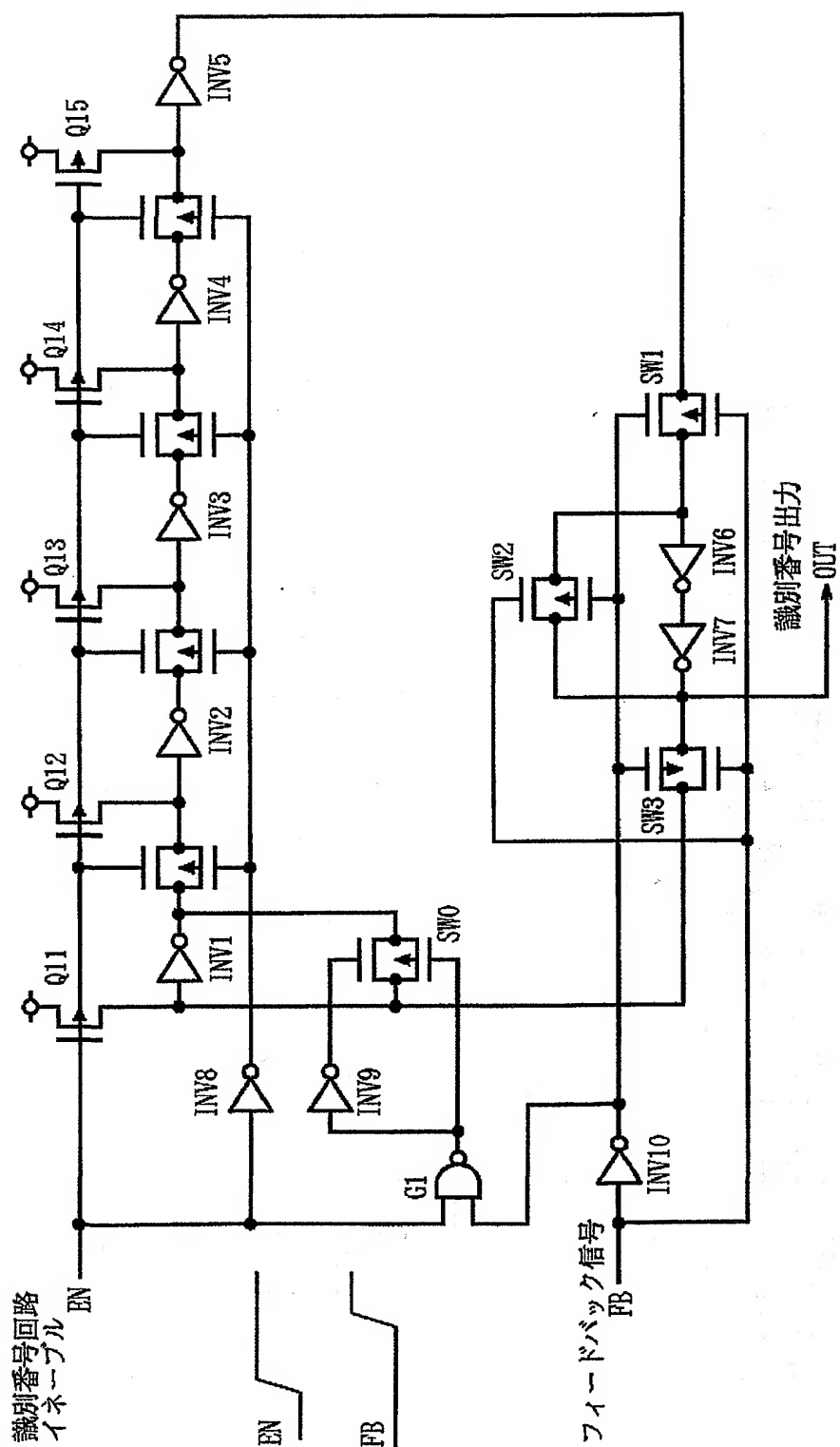
第 4 3 図



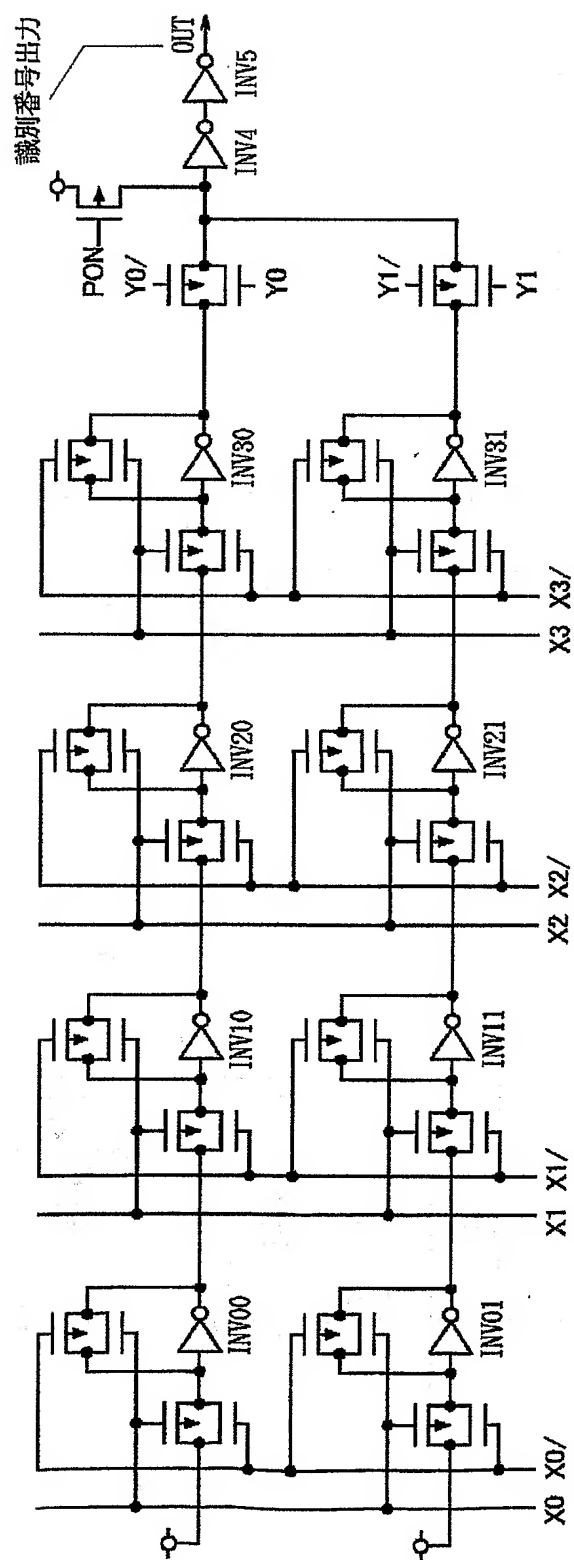
第 4 4 図



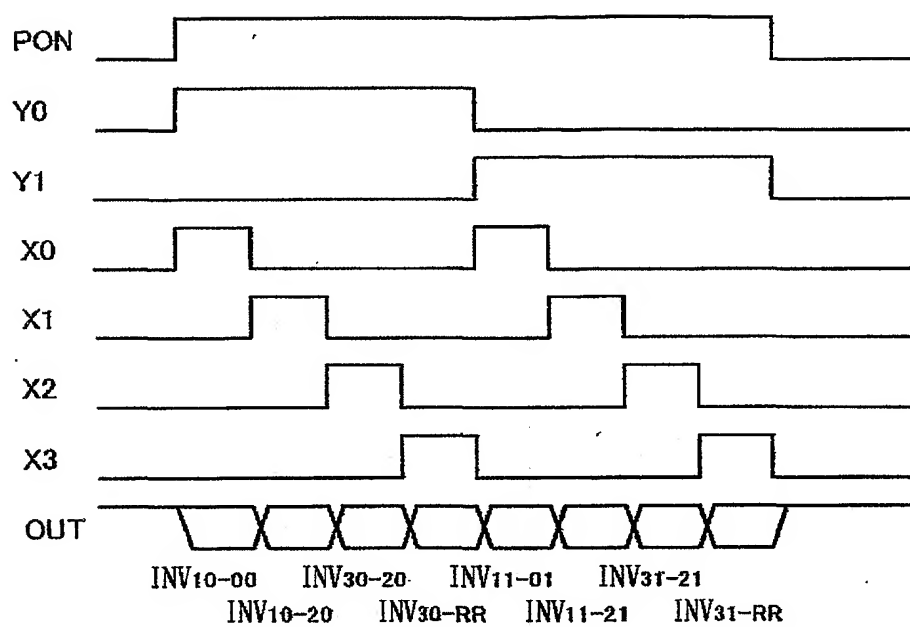
第 4 5 図



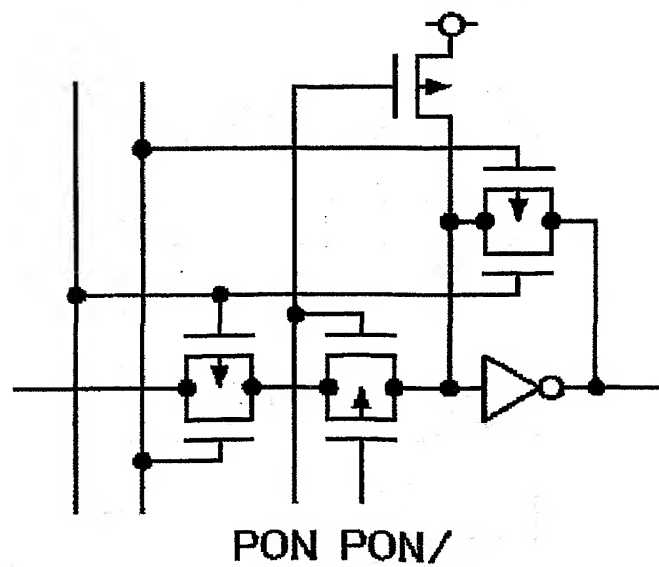
第 4 6 図



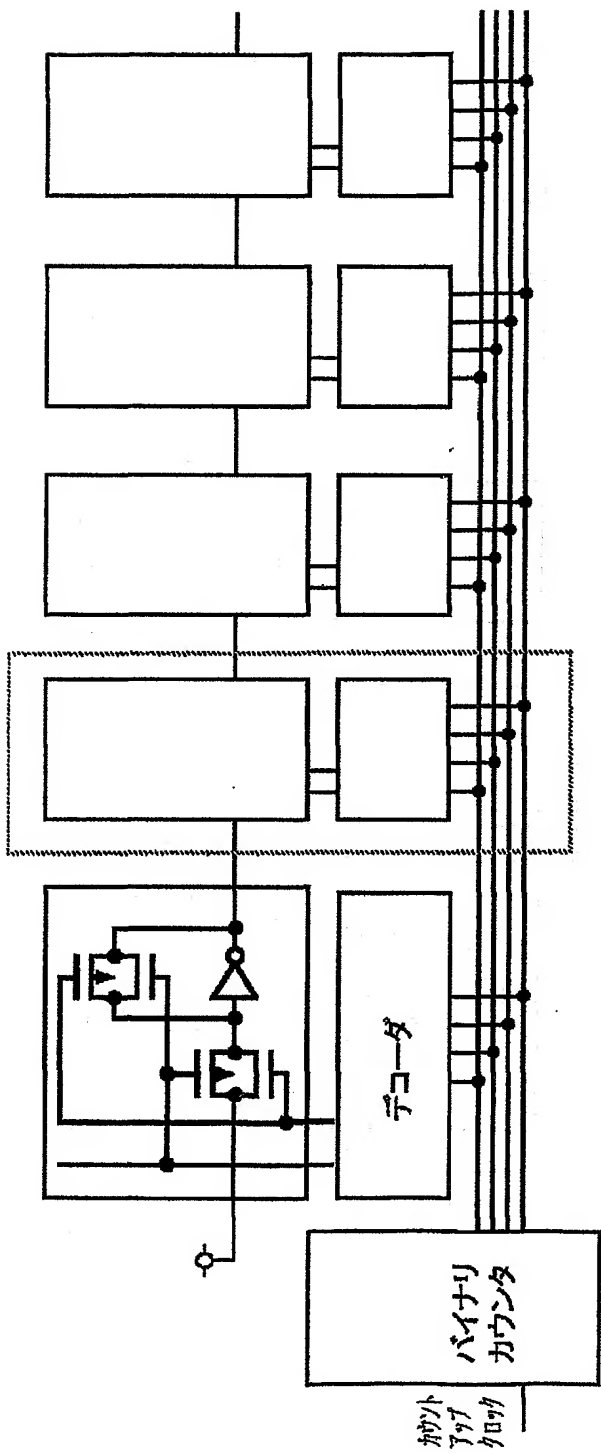
第 4 7 图



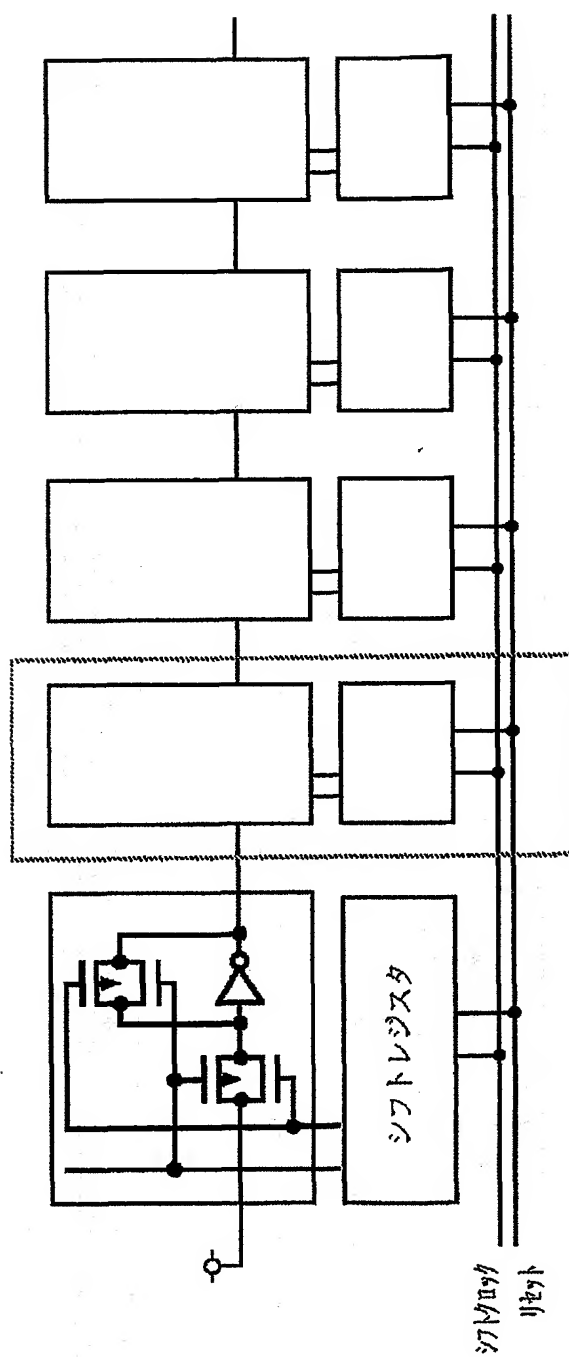
第 4 8 图



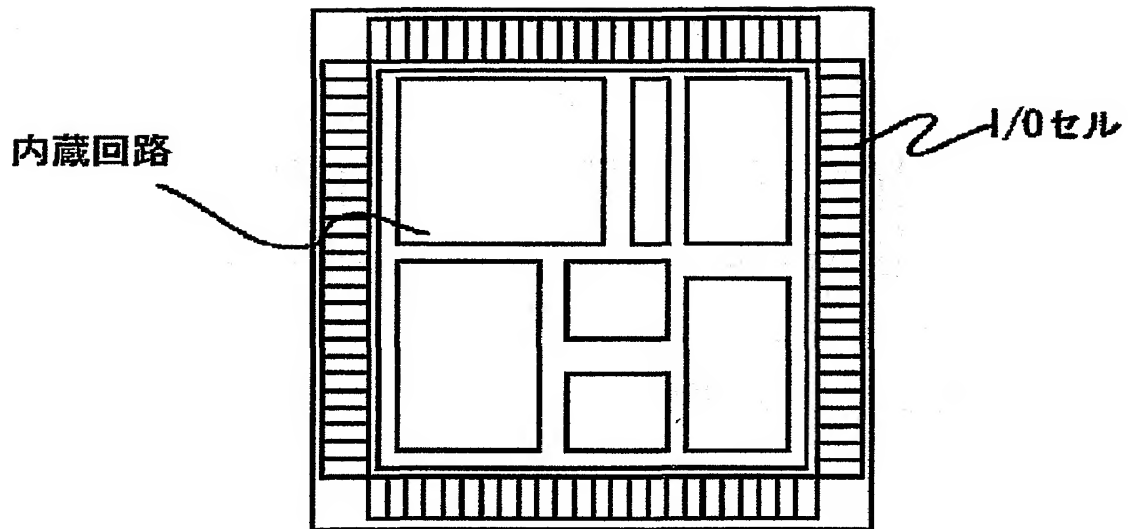
第 4 9 図



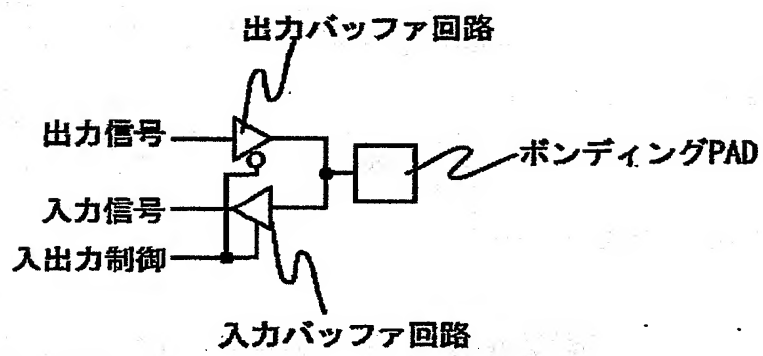
第 5 0 図



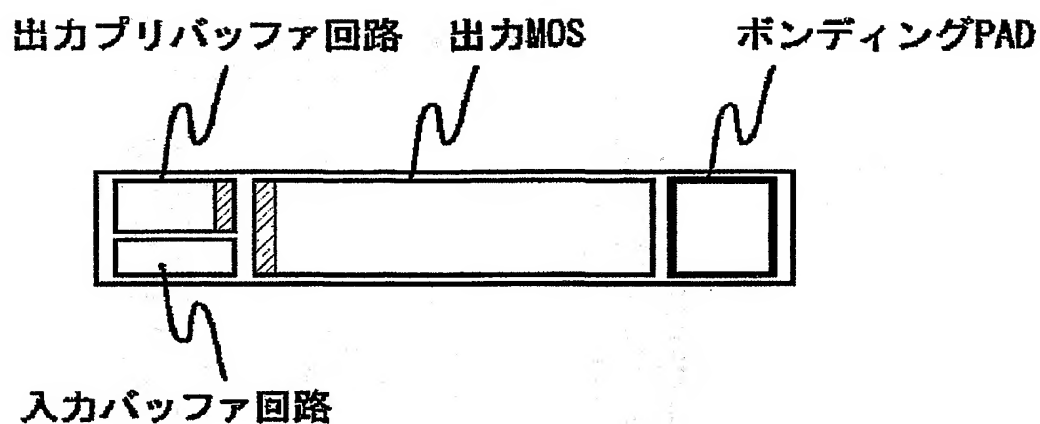
第 5 1 図



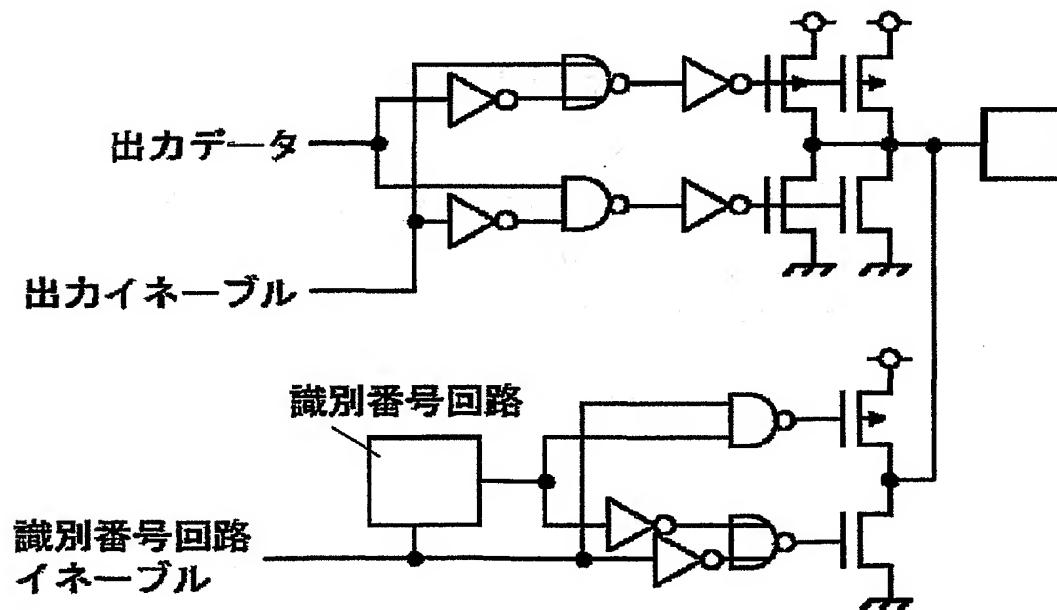
第 5 2 図



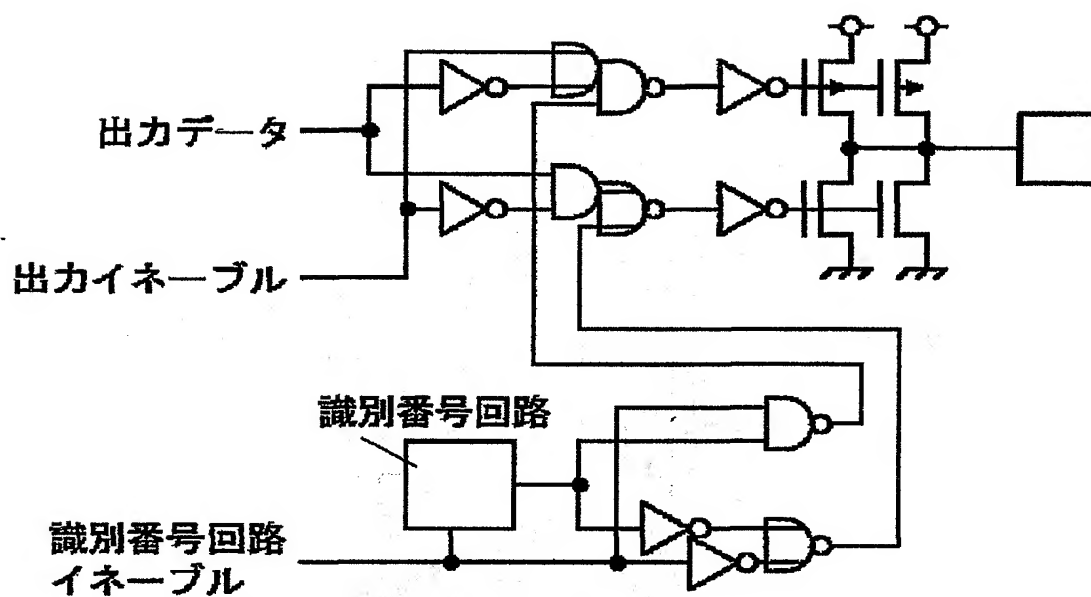
第 5 3 図



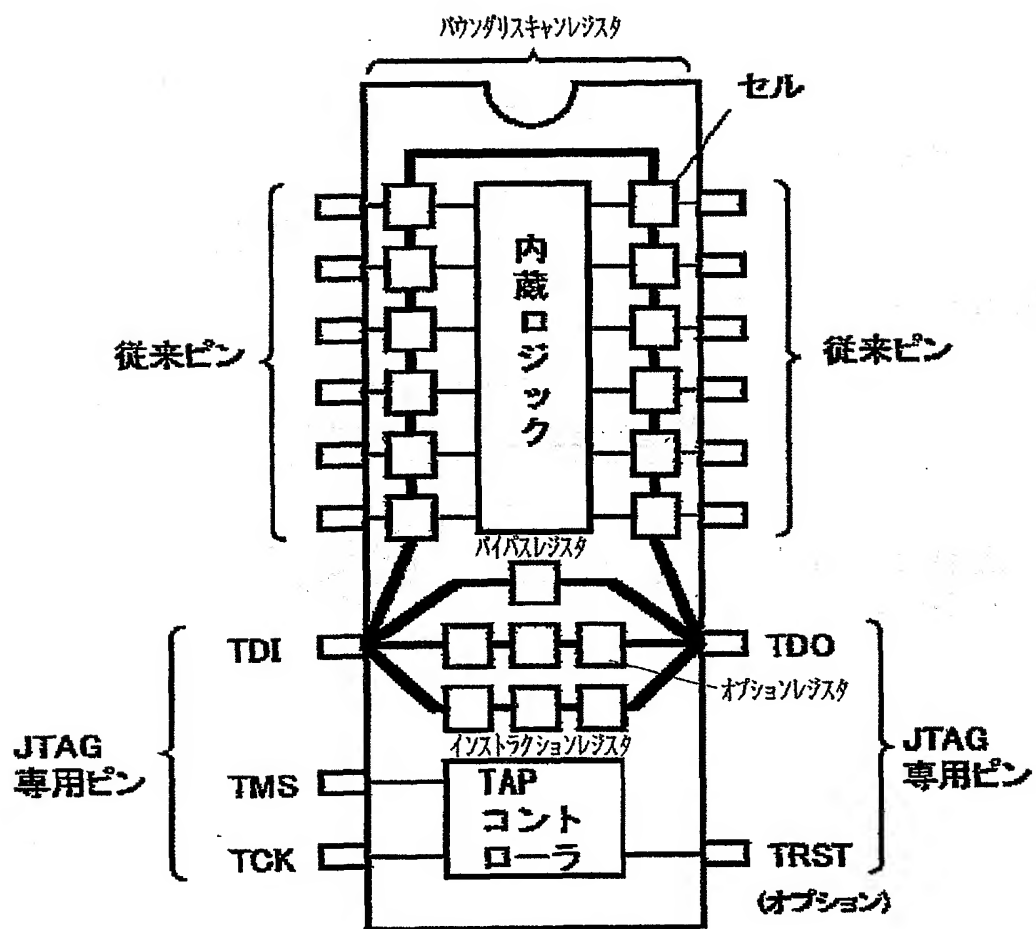
第 5 4 図



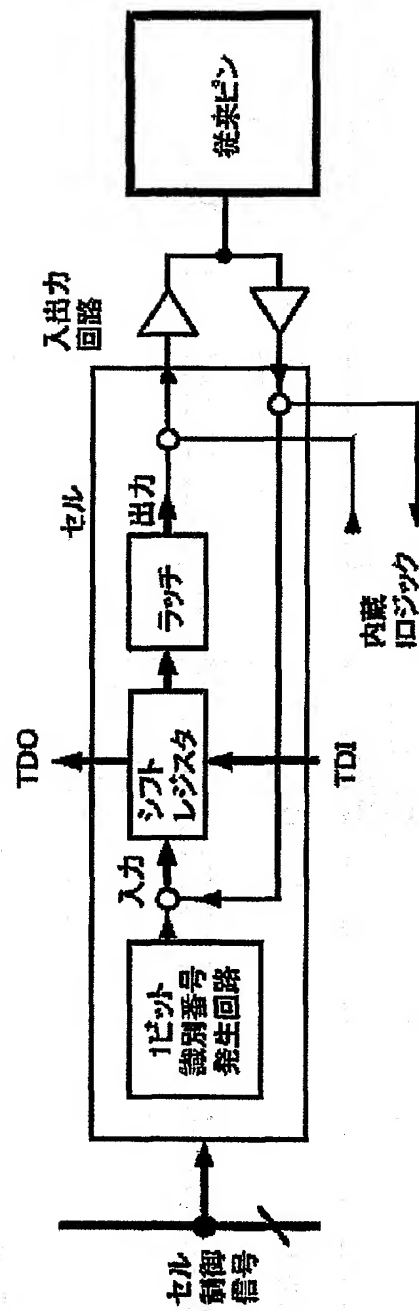
第 5 5 図



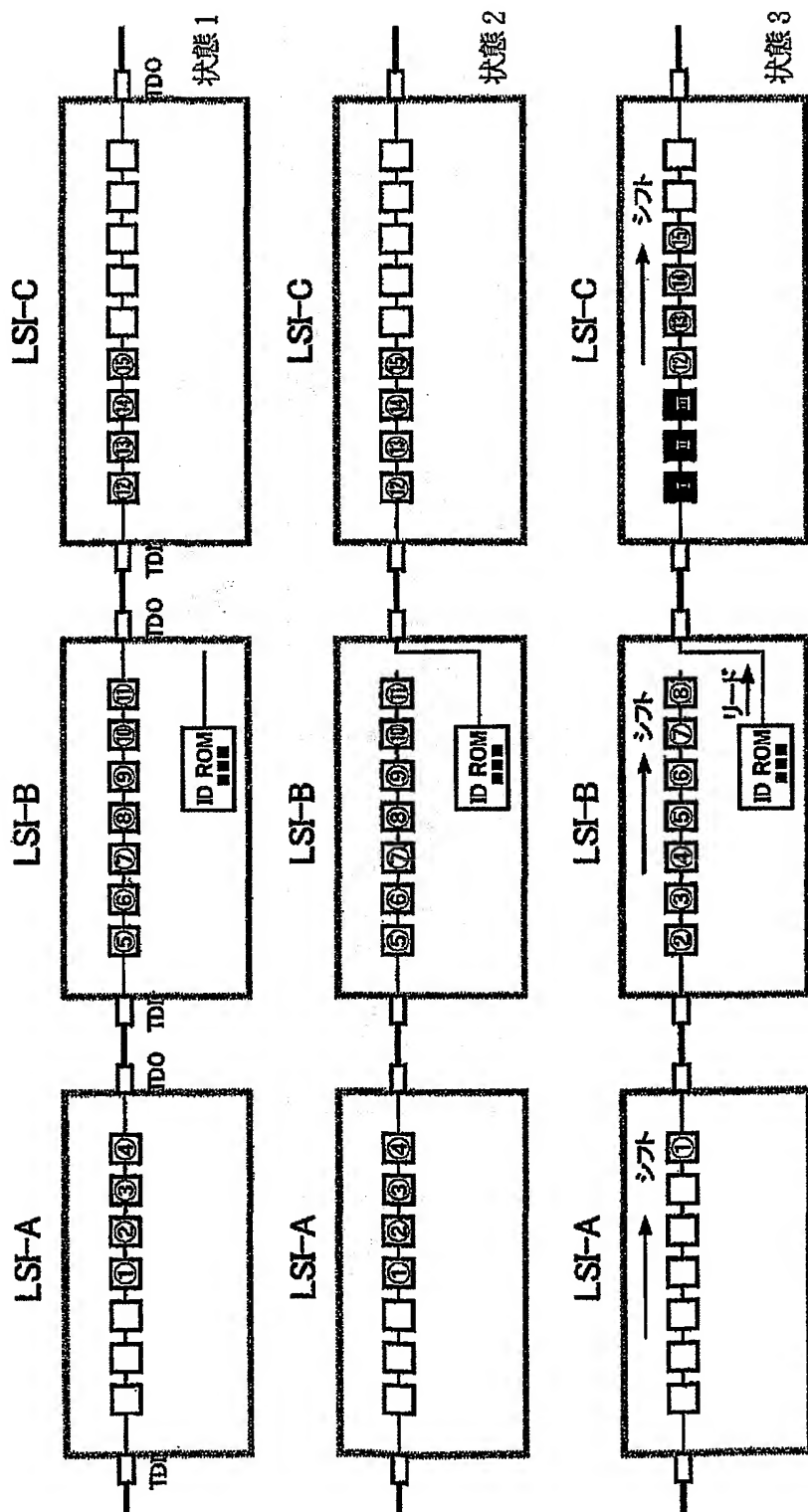
第 5.6 図



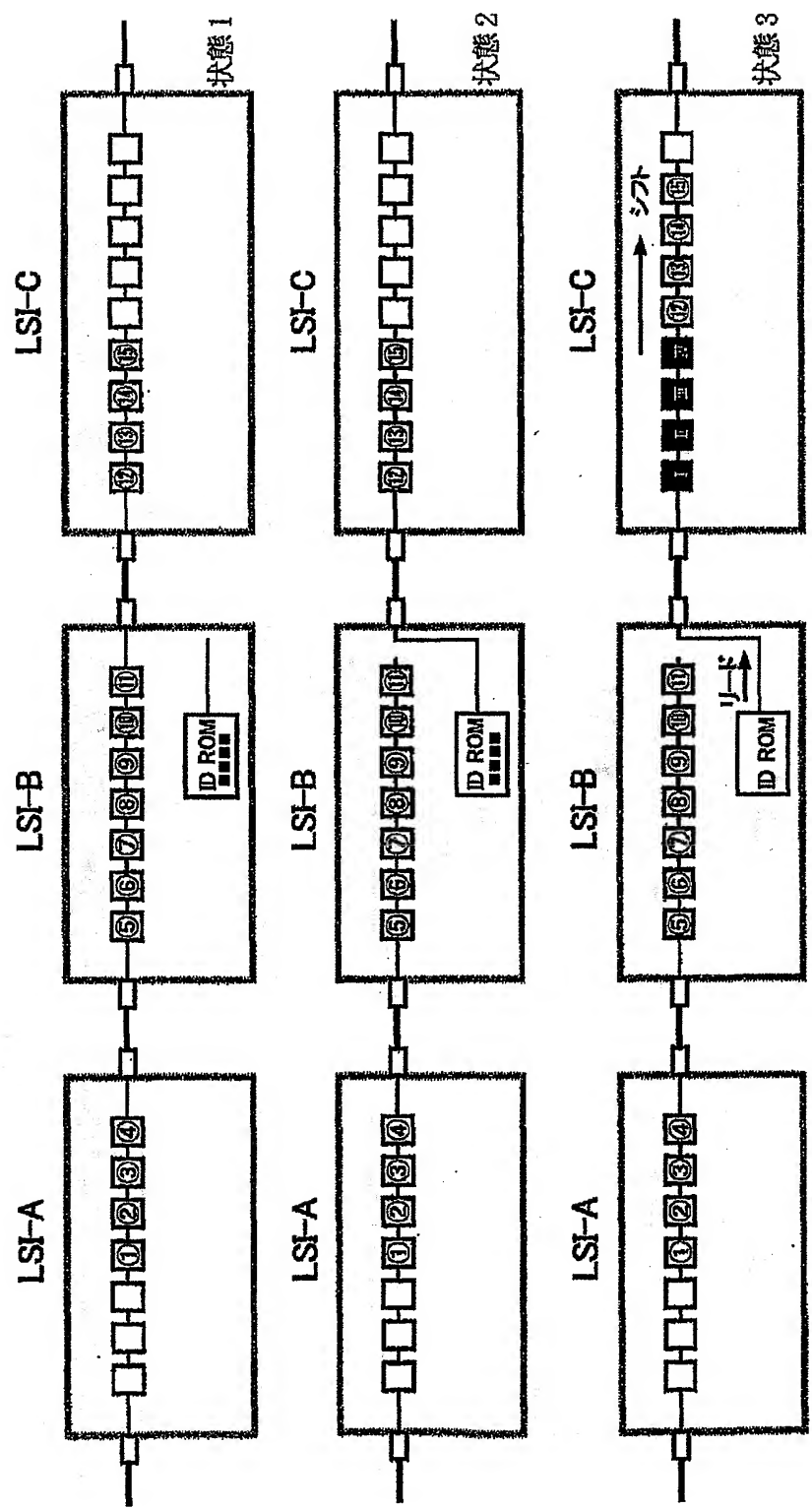
第 5 7 図



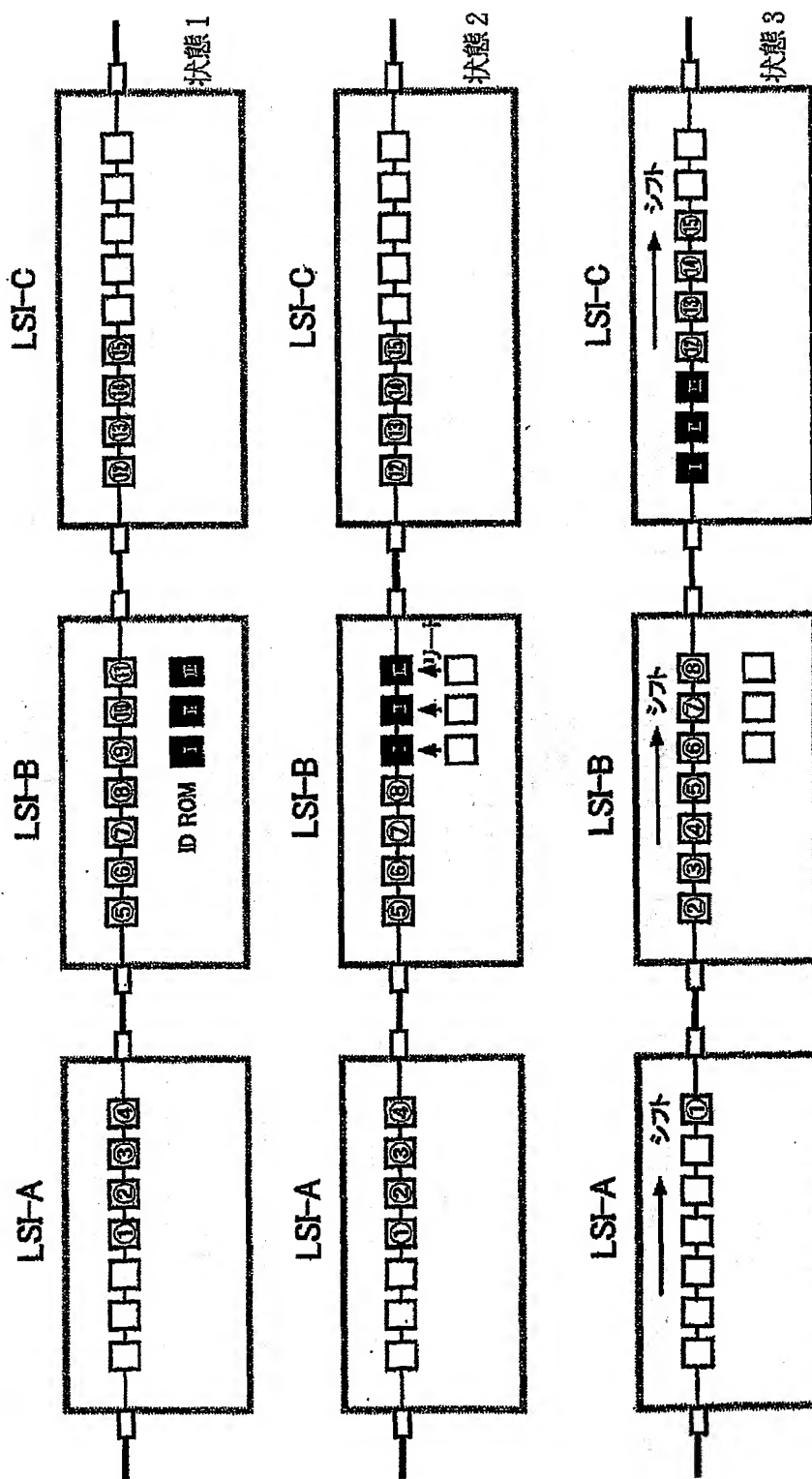
第 5 8 図



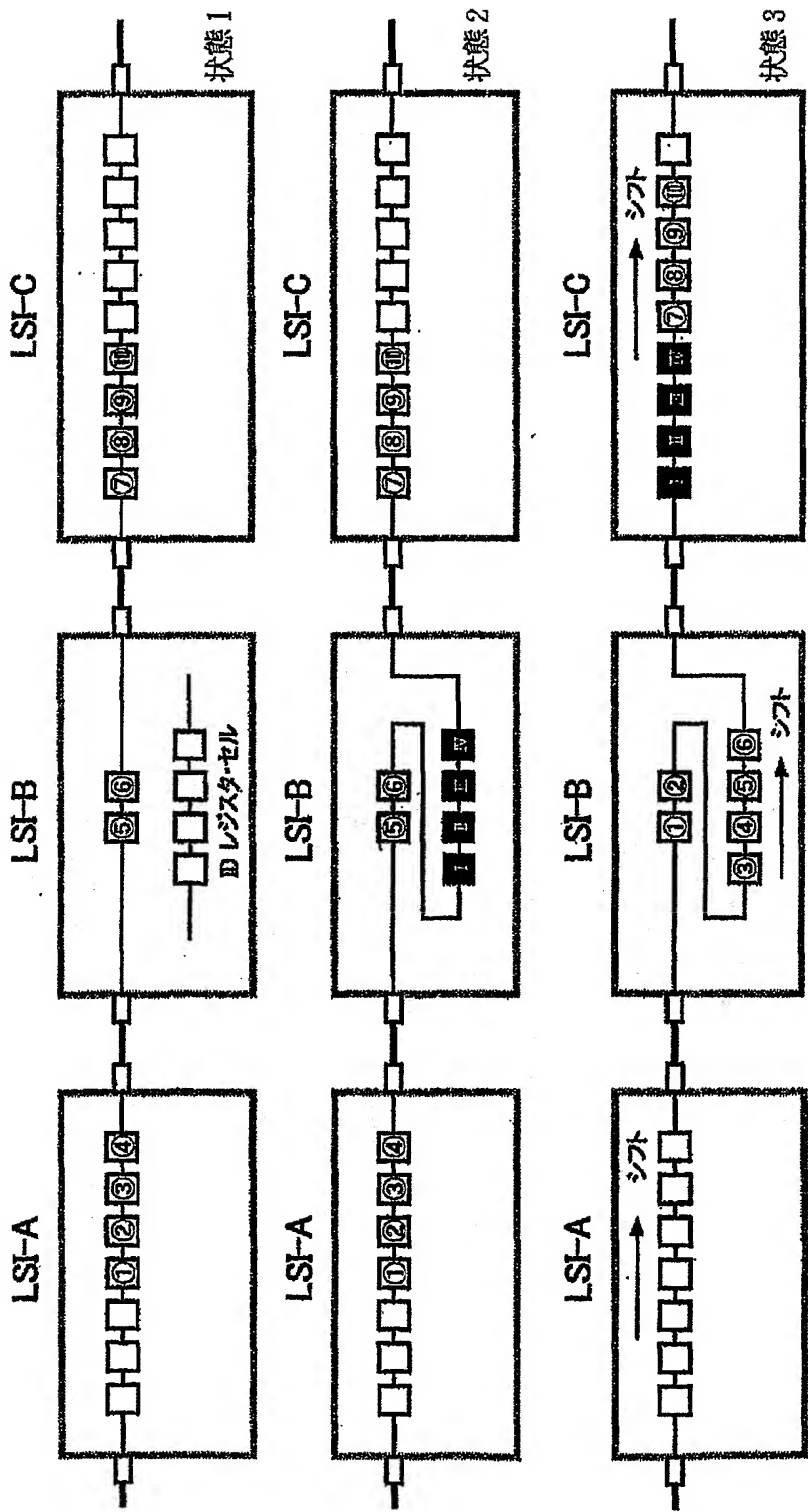
第 5 9 図



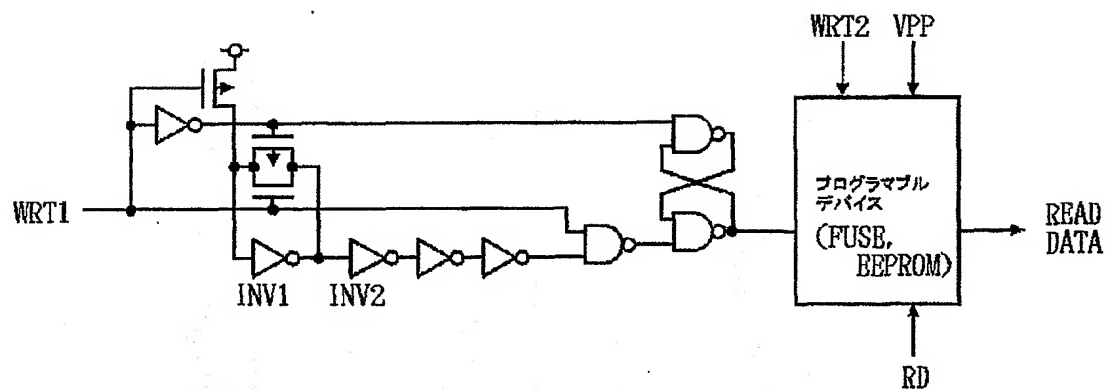
第 6 0 図



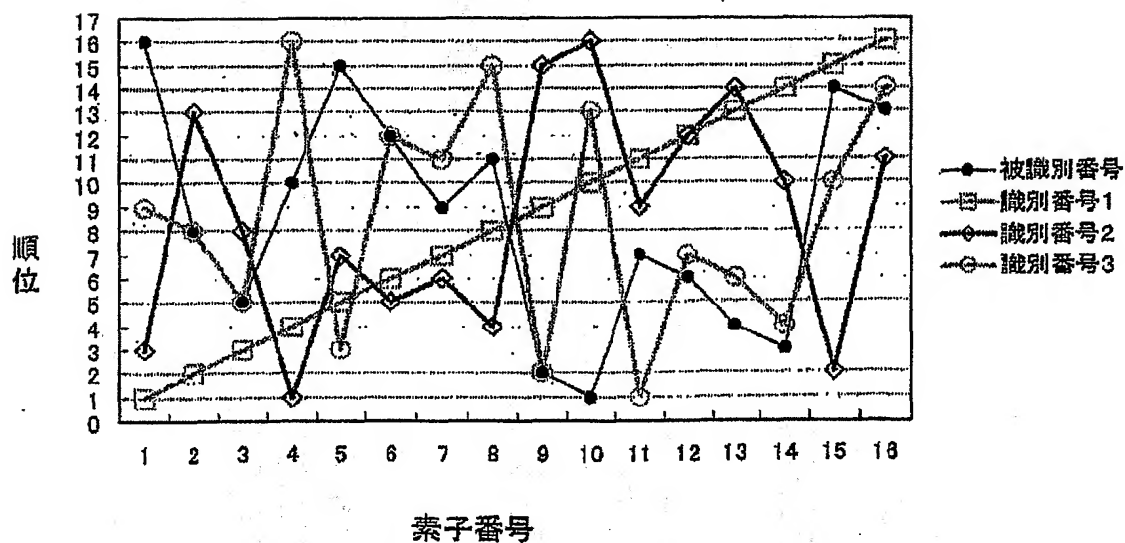
第 6 1 図



第 6 2 図



第 6 3 図



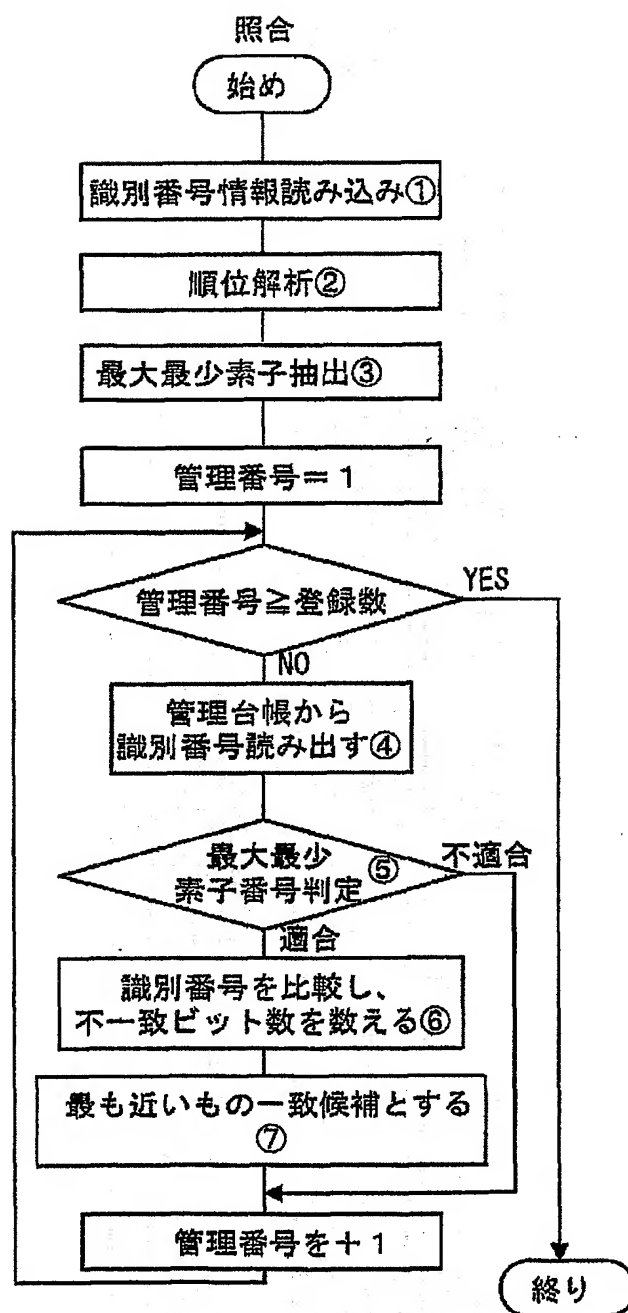
第 6 4 図

素子の順位																最大 最小	
																1	10
																16	> 1
																1	< 10 ⇒ 不適格
																16	> 3 ⇒ 適格
																9	< 13 ⇒ 不適格
																合計	平均
																100	6.25
																96	6.00
																58	3.63

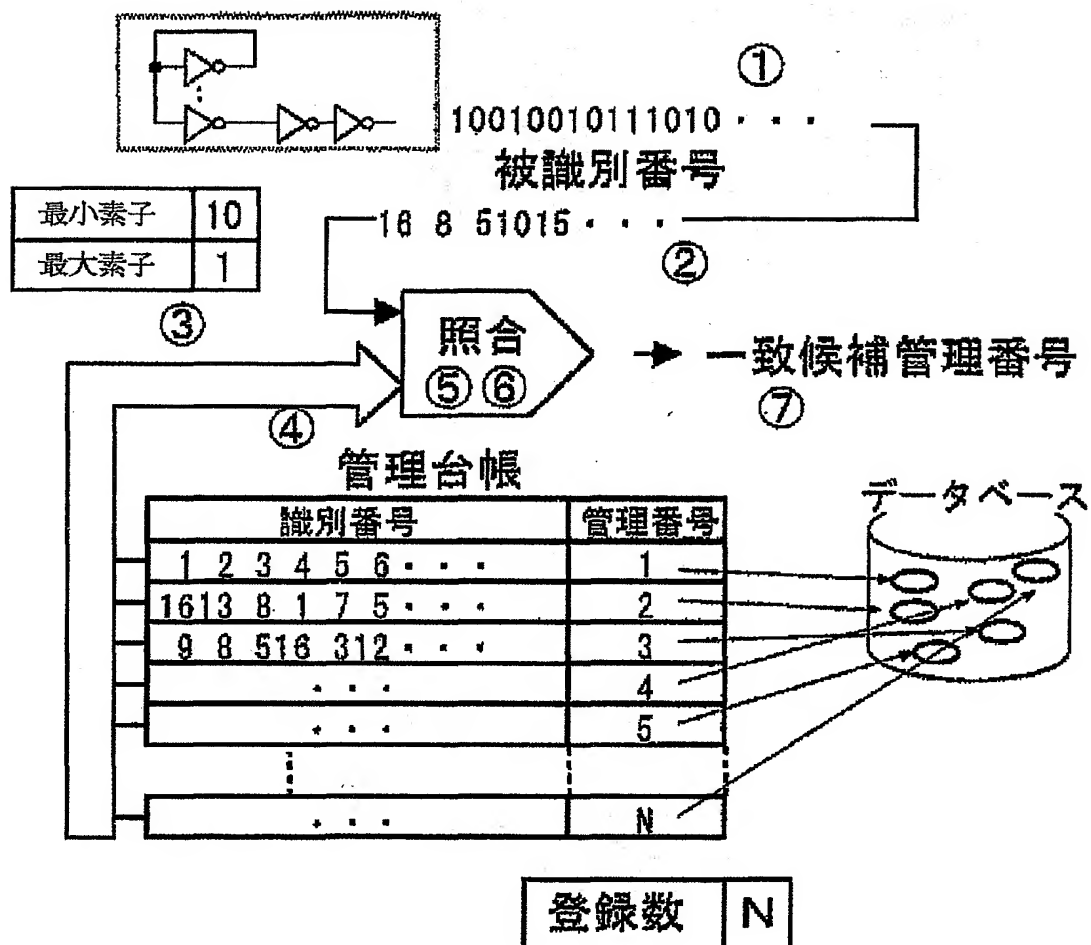
素子番号															
被識別番号															
識別番号 1															
識別番号 2															
識別番号 3															

順位の数値の絶対値															
識別番号 1															
識別番号 2															
識別番号 3															

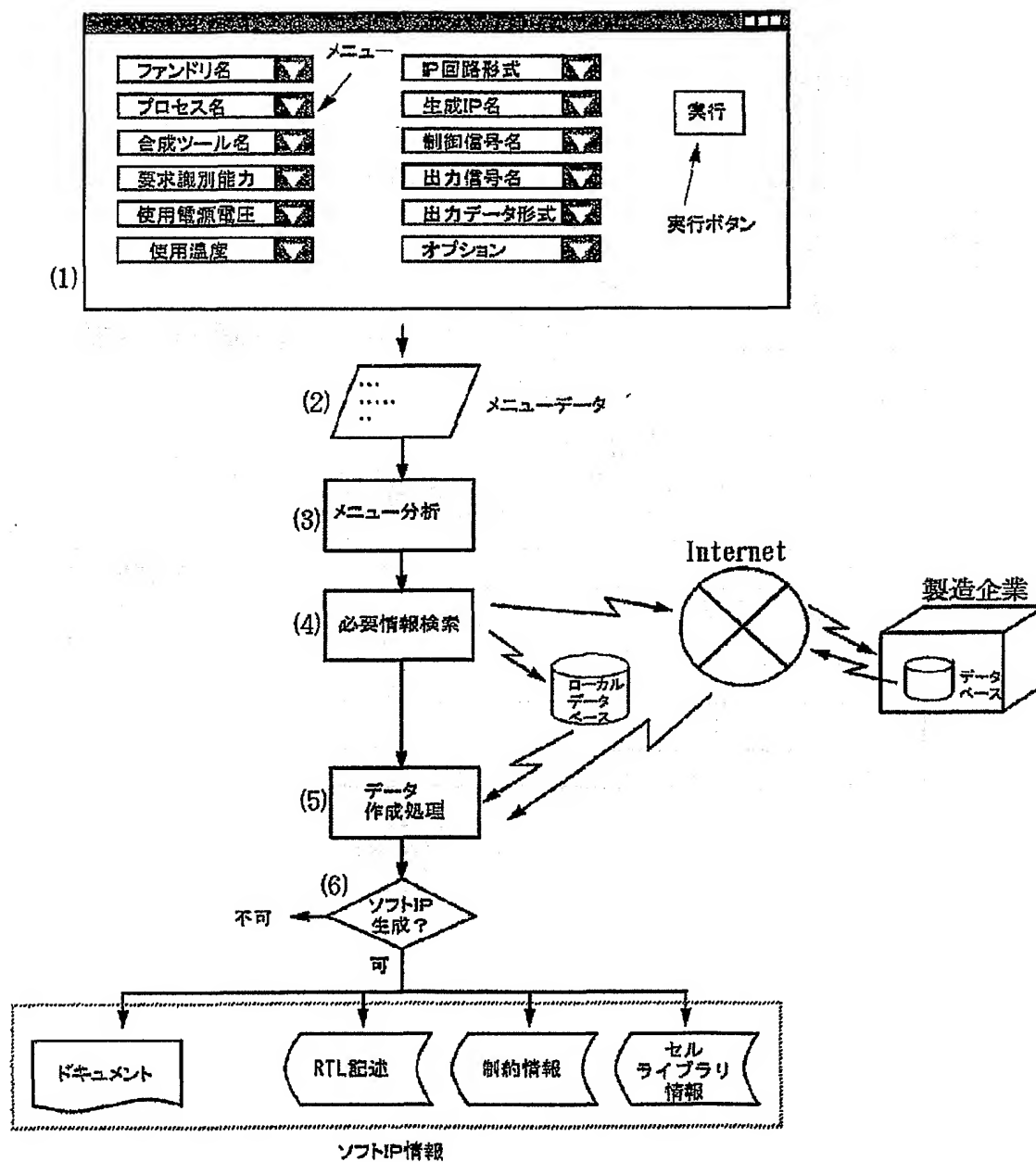
第 6 5 図



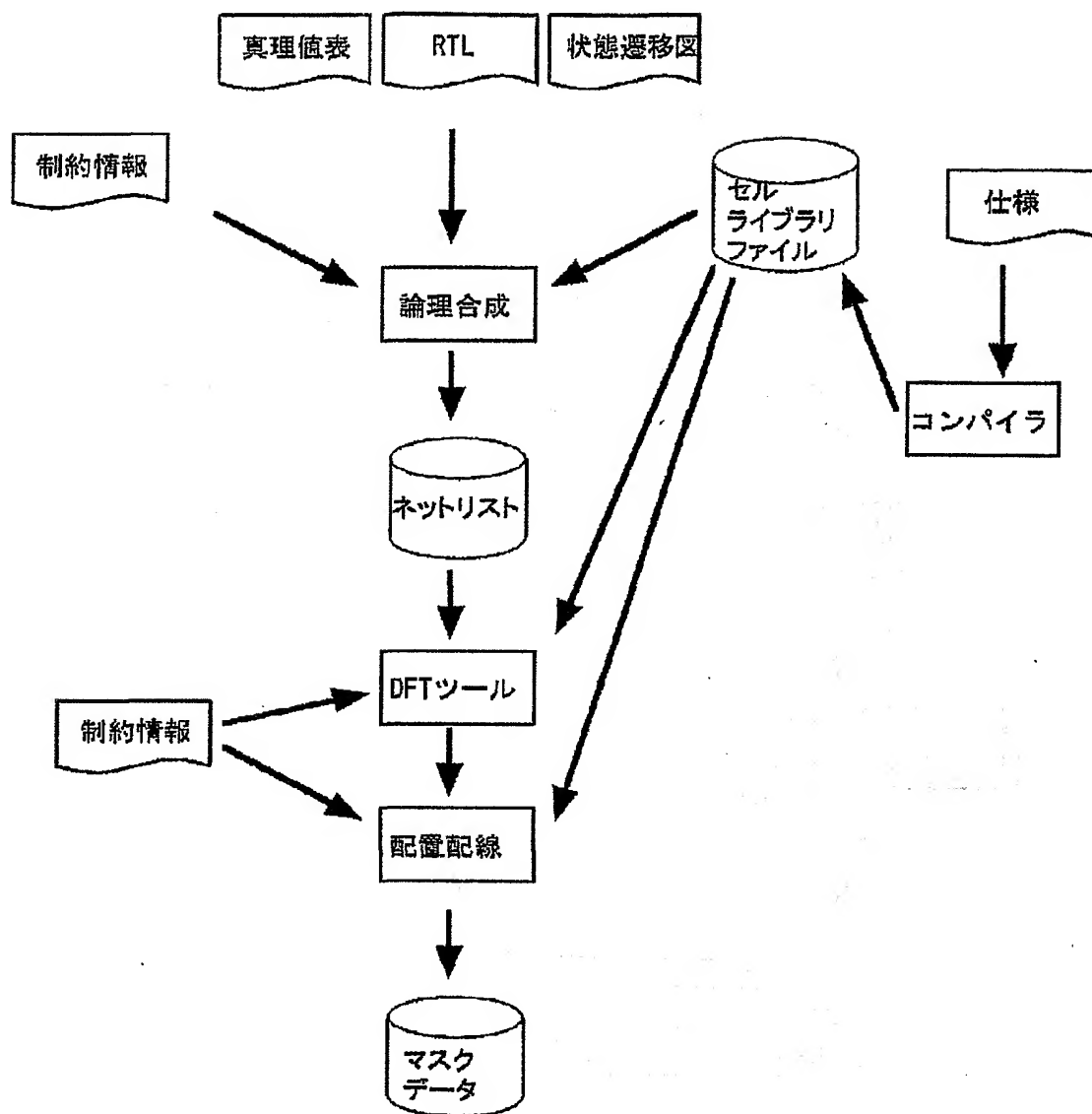
第 6 6 図



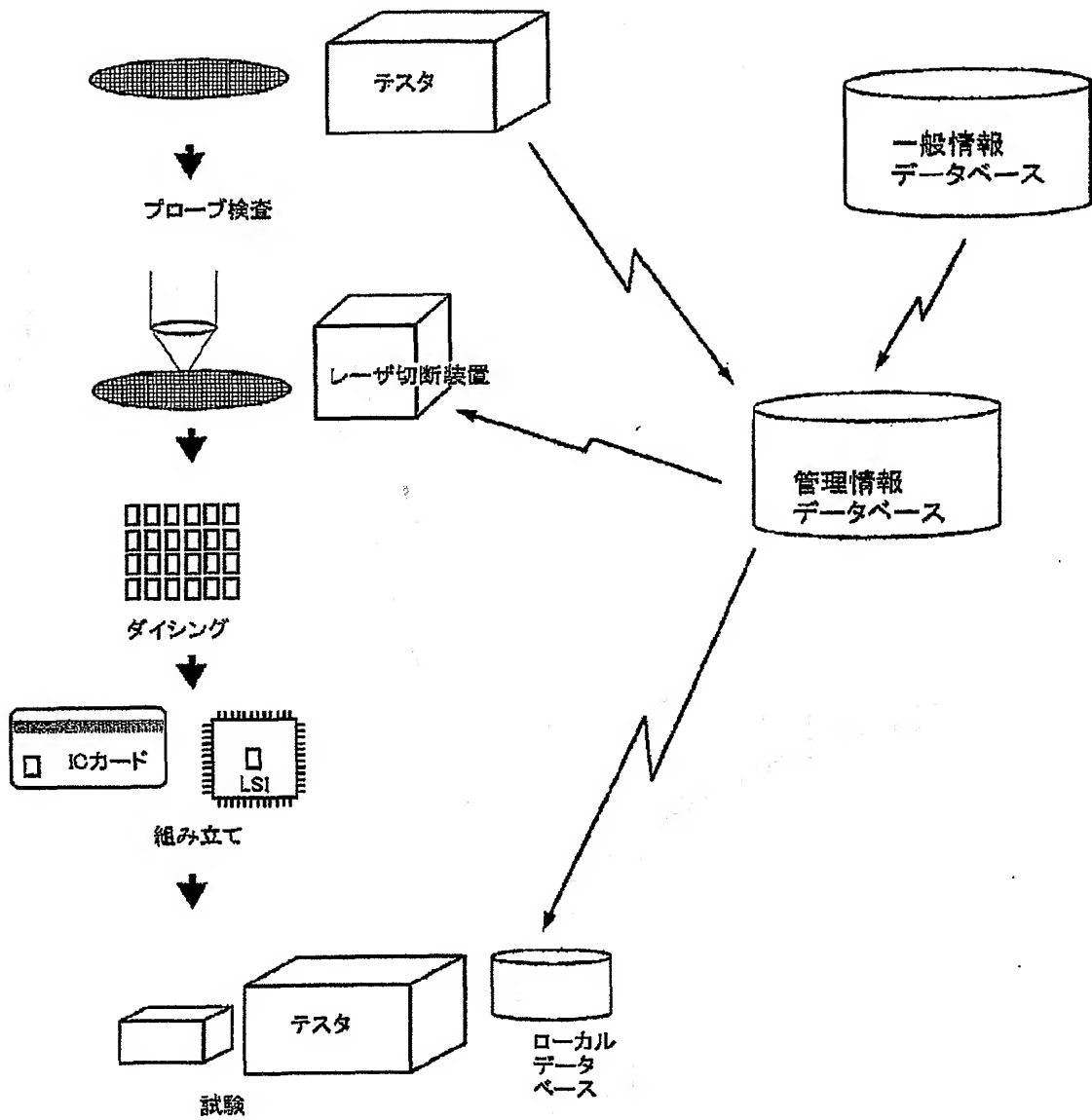
第 6 7 図



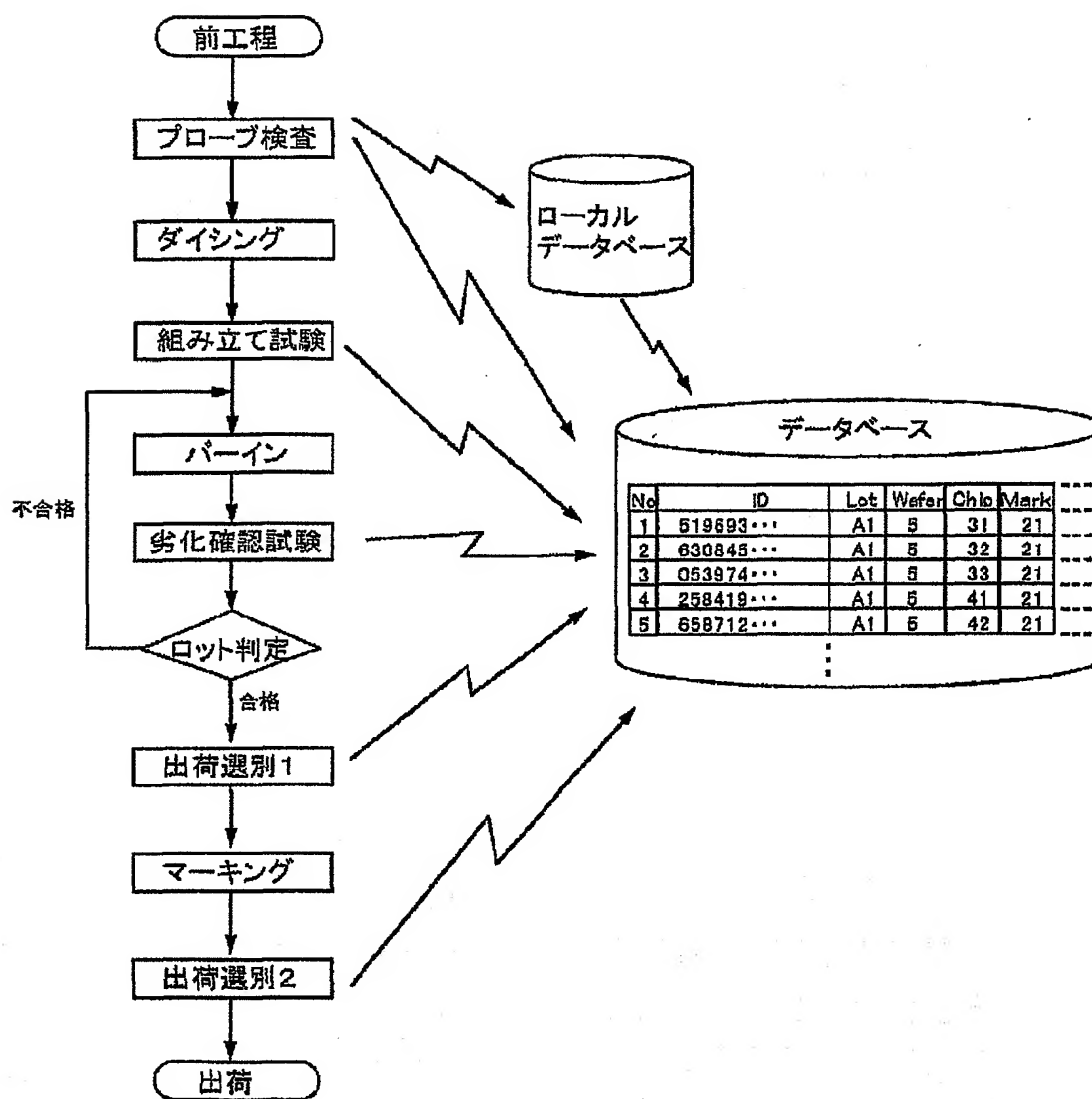
第 6 8 図



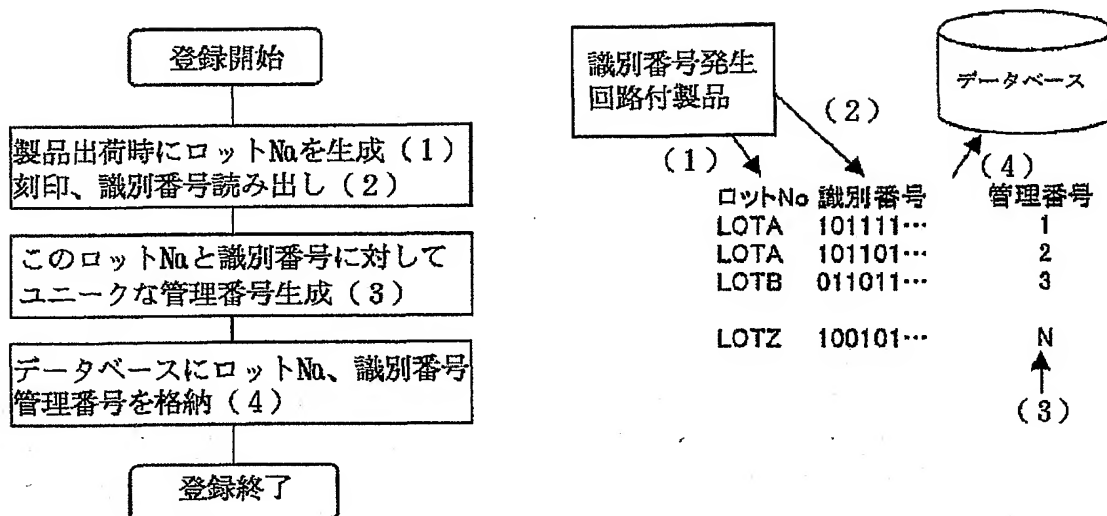
第 6 9 図



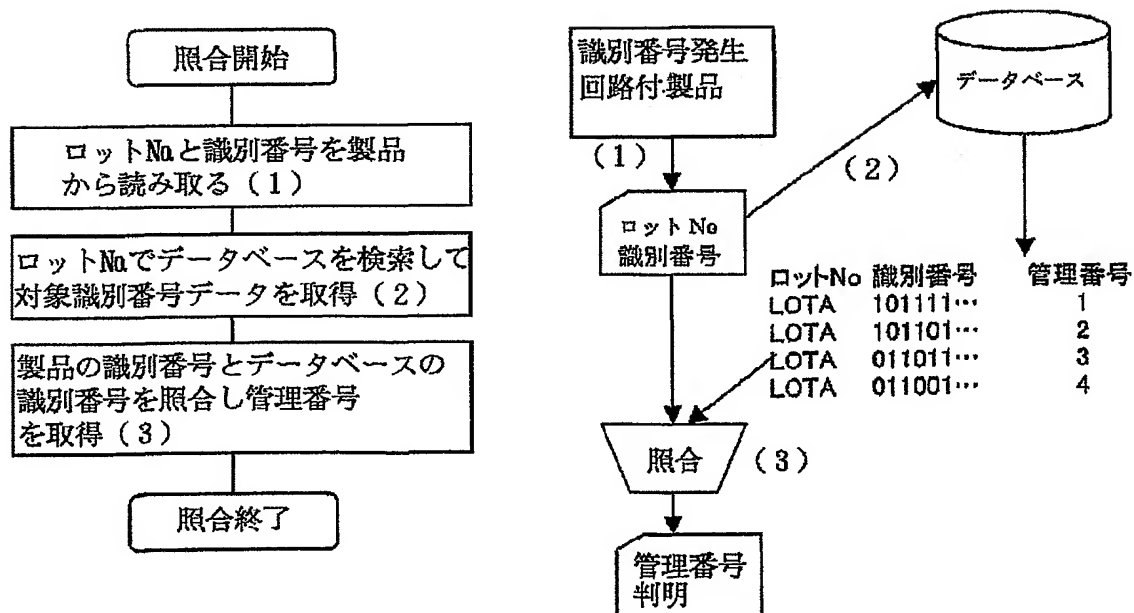
第 7 0 図



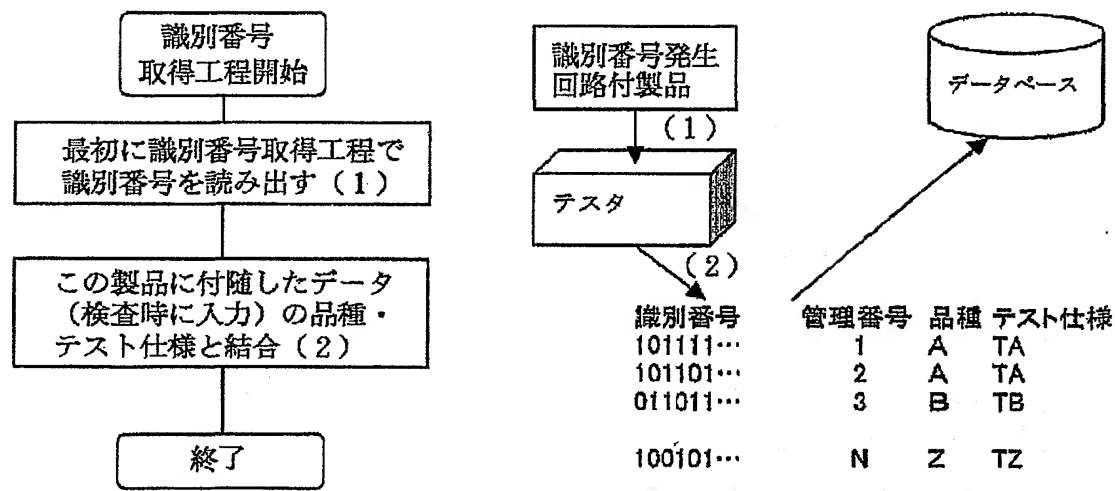
第 7 1 図



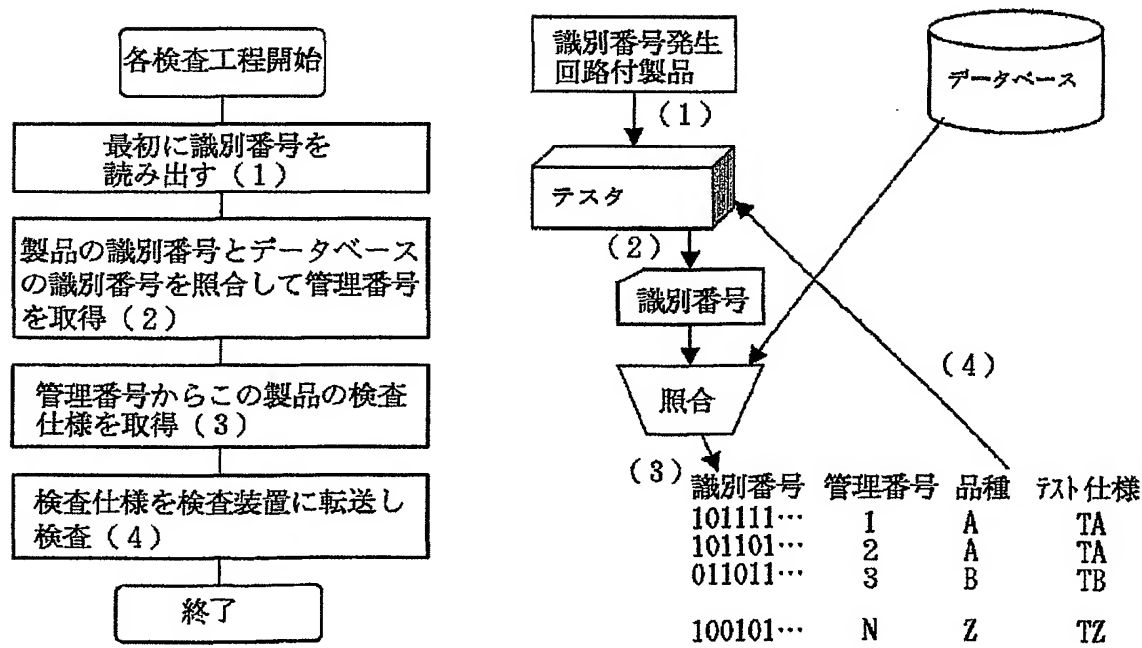
第 7 2 図



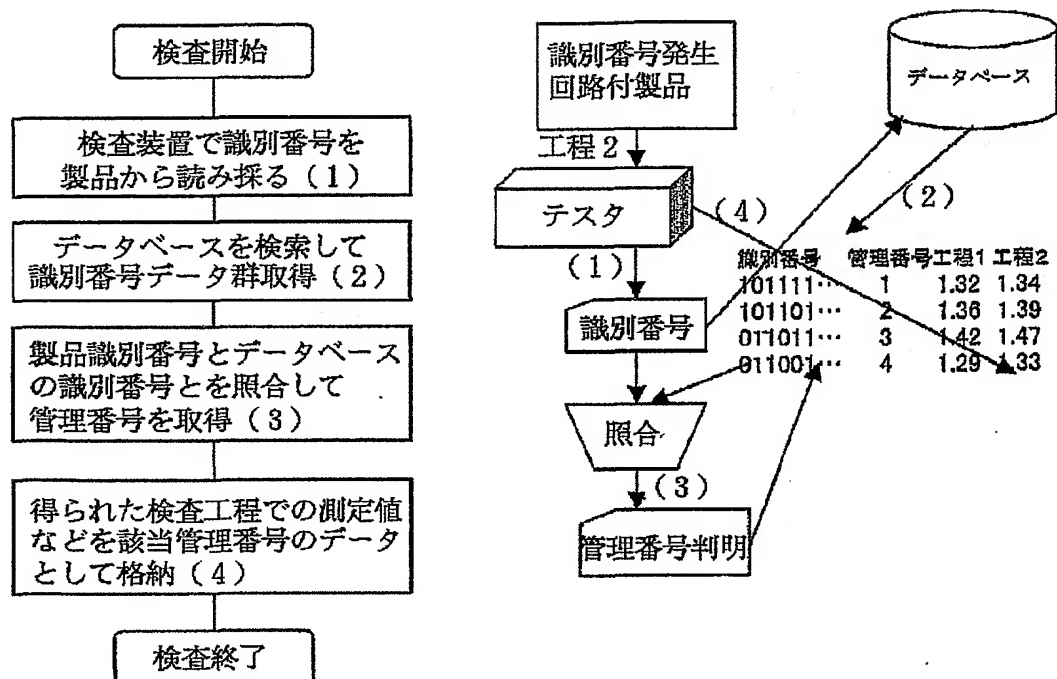
第 7 3 図



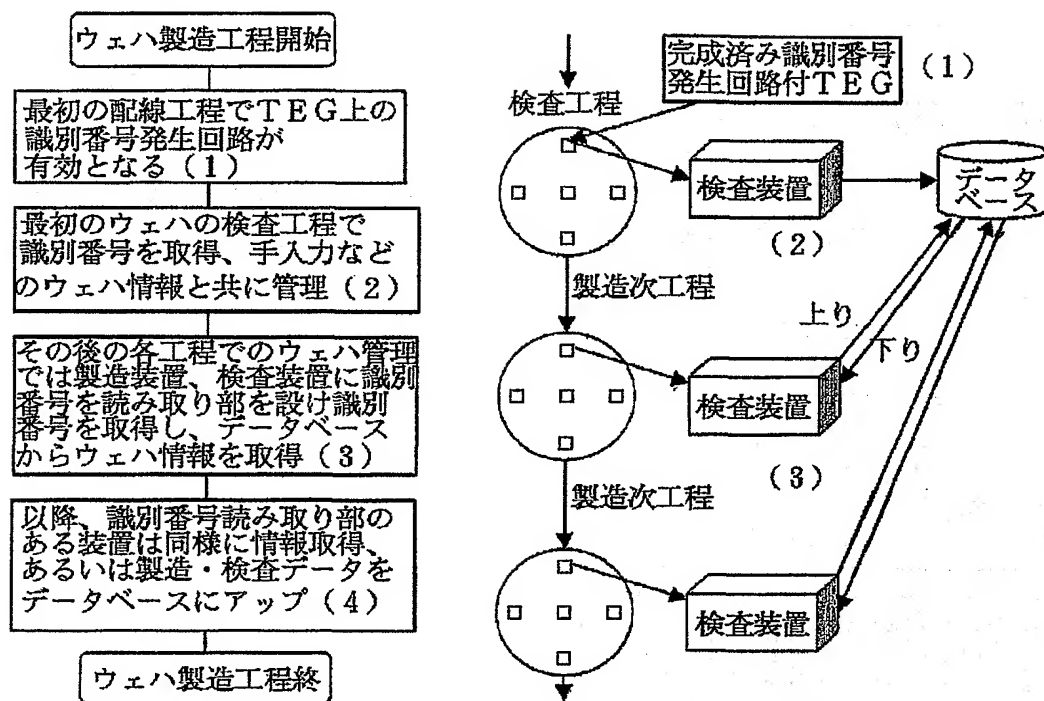
第 7 4 図



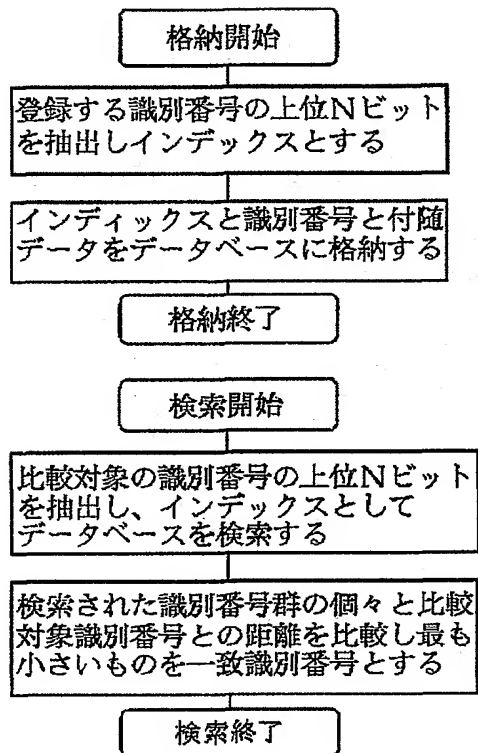
第 7 5 図



第 7 6 図



第 7 7 図

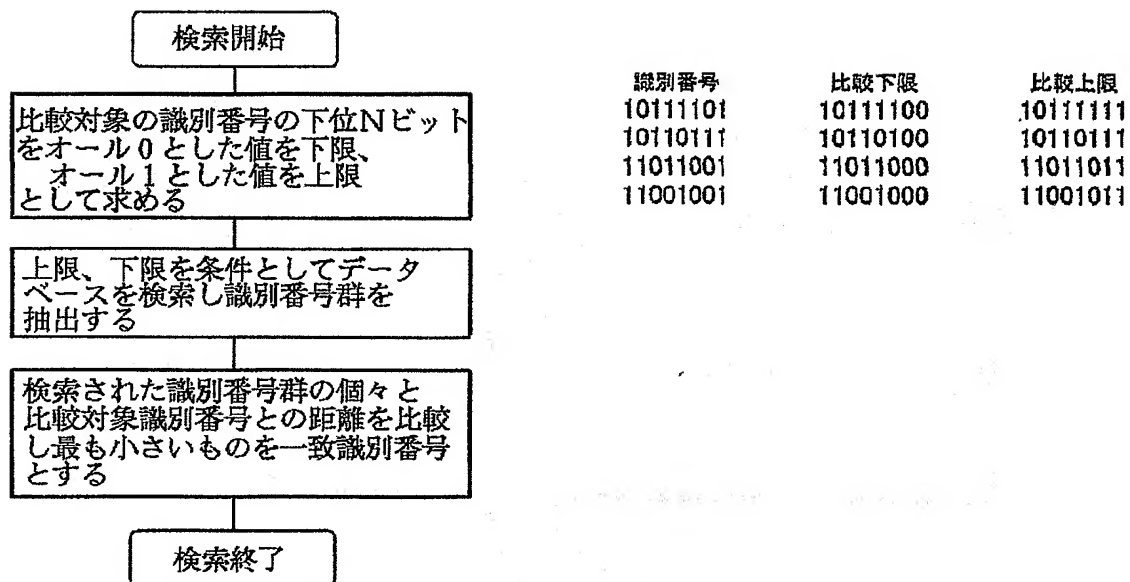


識別番号の上位ビットを
インデックスとしてテーブルを作成

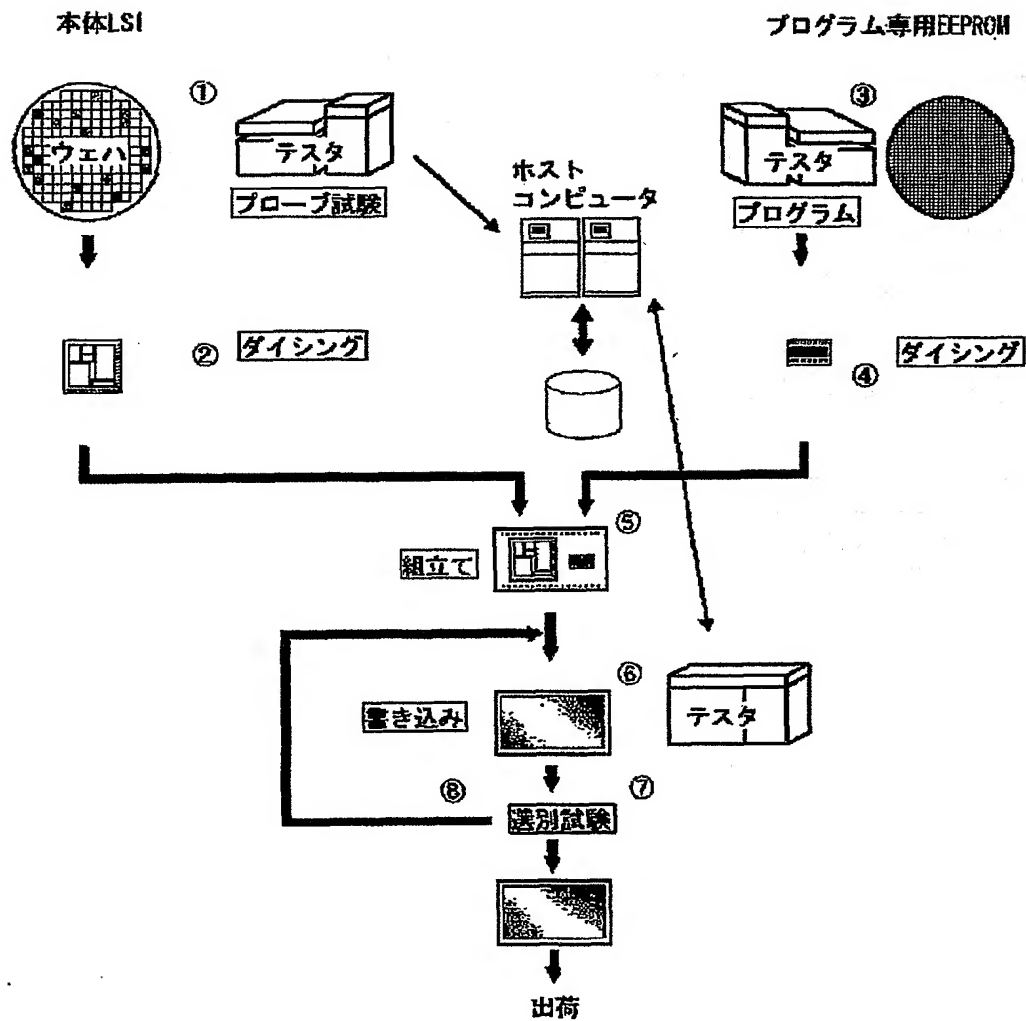
↓

INDEX	識別番号	管理番号	工程1	工程2
101	101111101	1	1.32	1.34
101	101101111	2	1.36	1.39
011	011011001	3	1.42	1.47
011	011001100	4	1.29	1.33

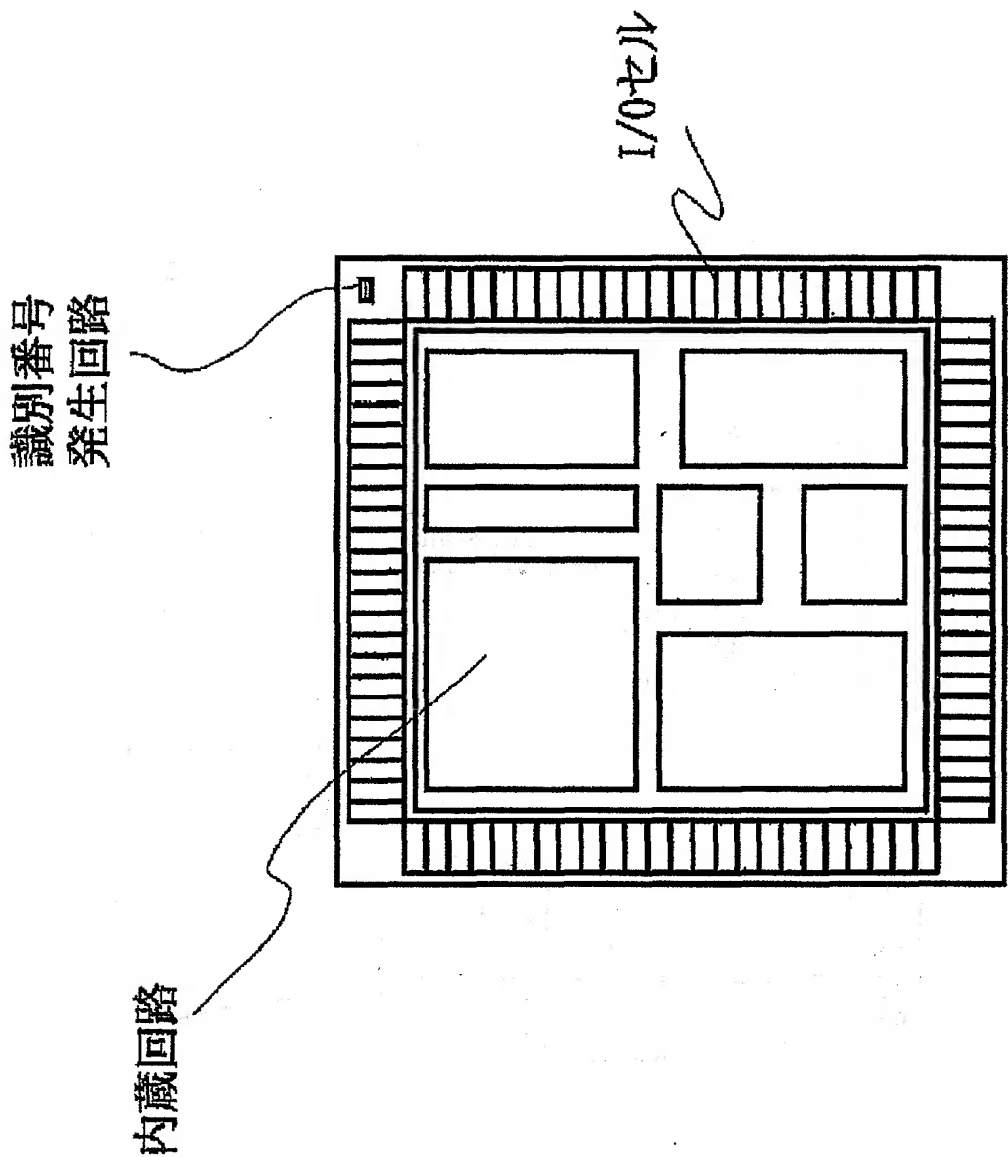
第 7 8 図



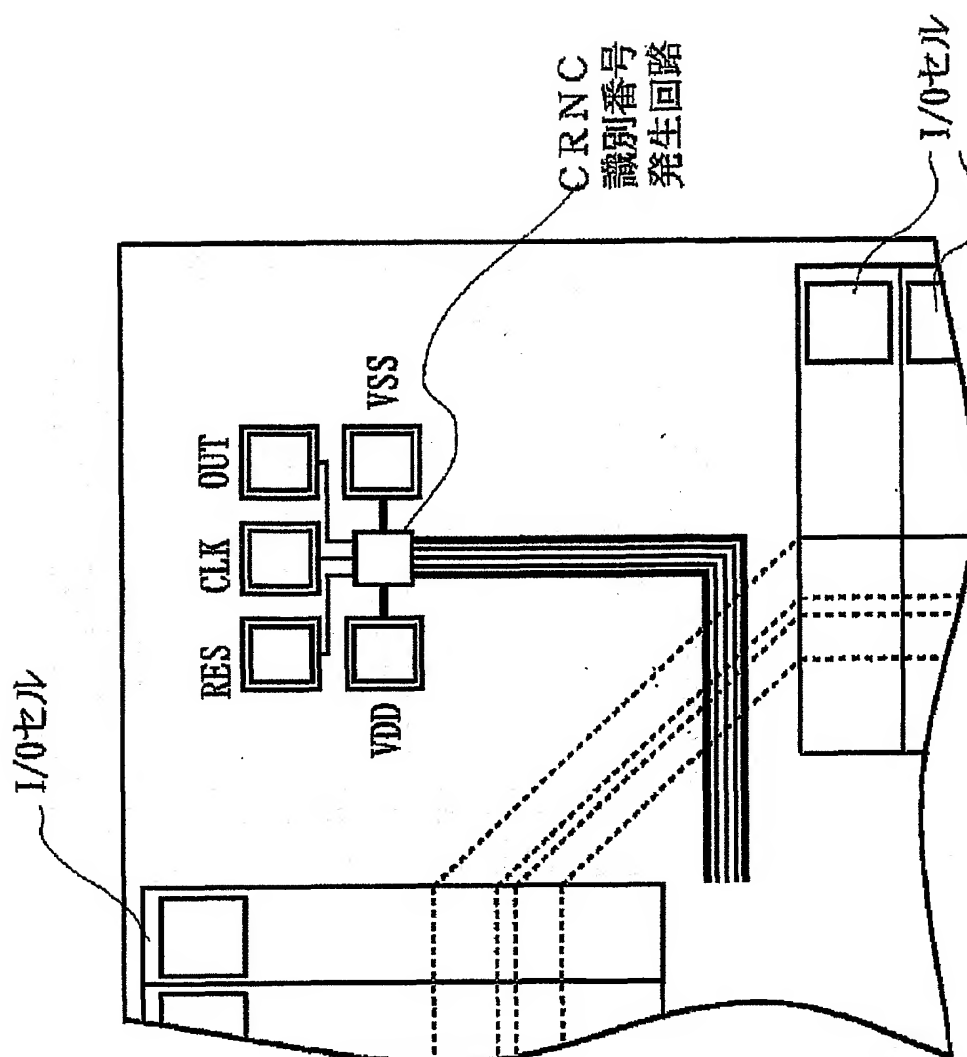
第 7 9 図



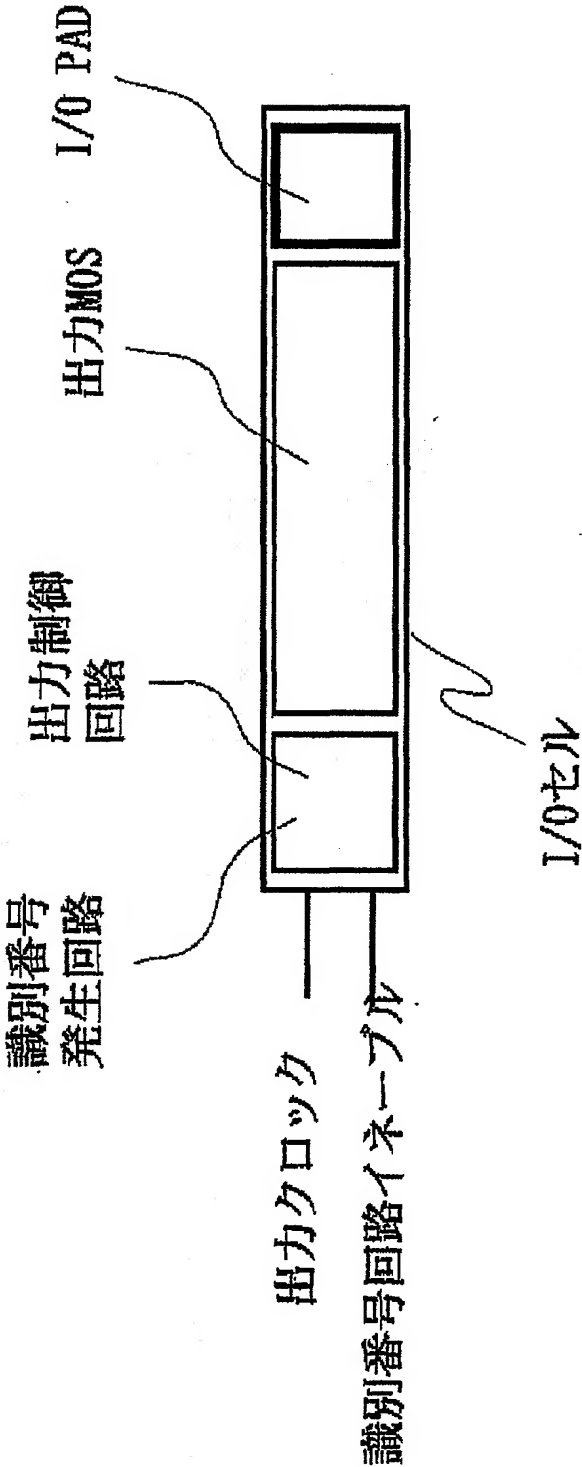
第 8 0 図



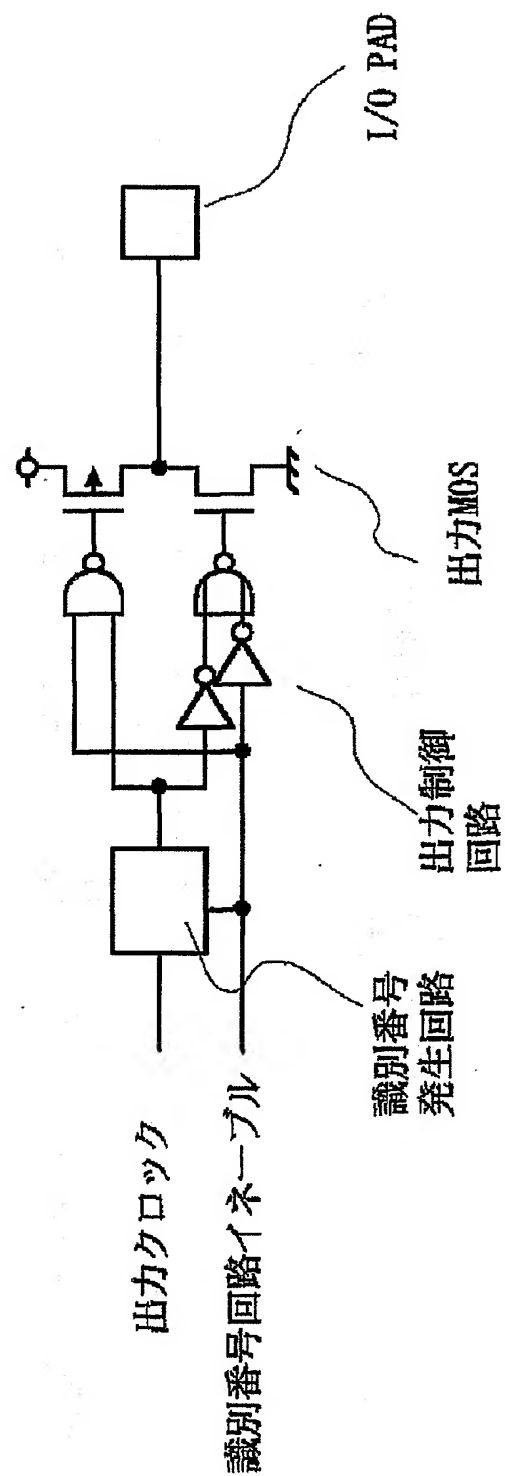
第 8 1 図



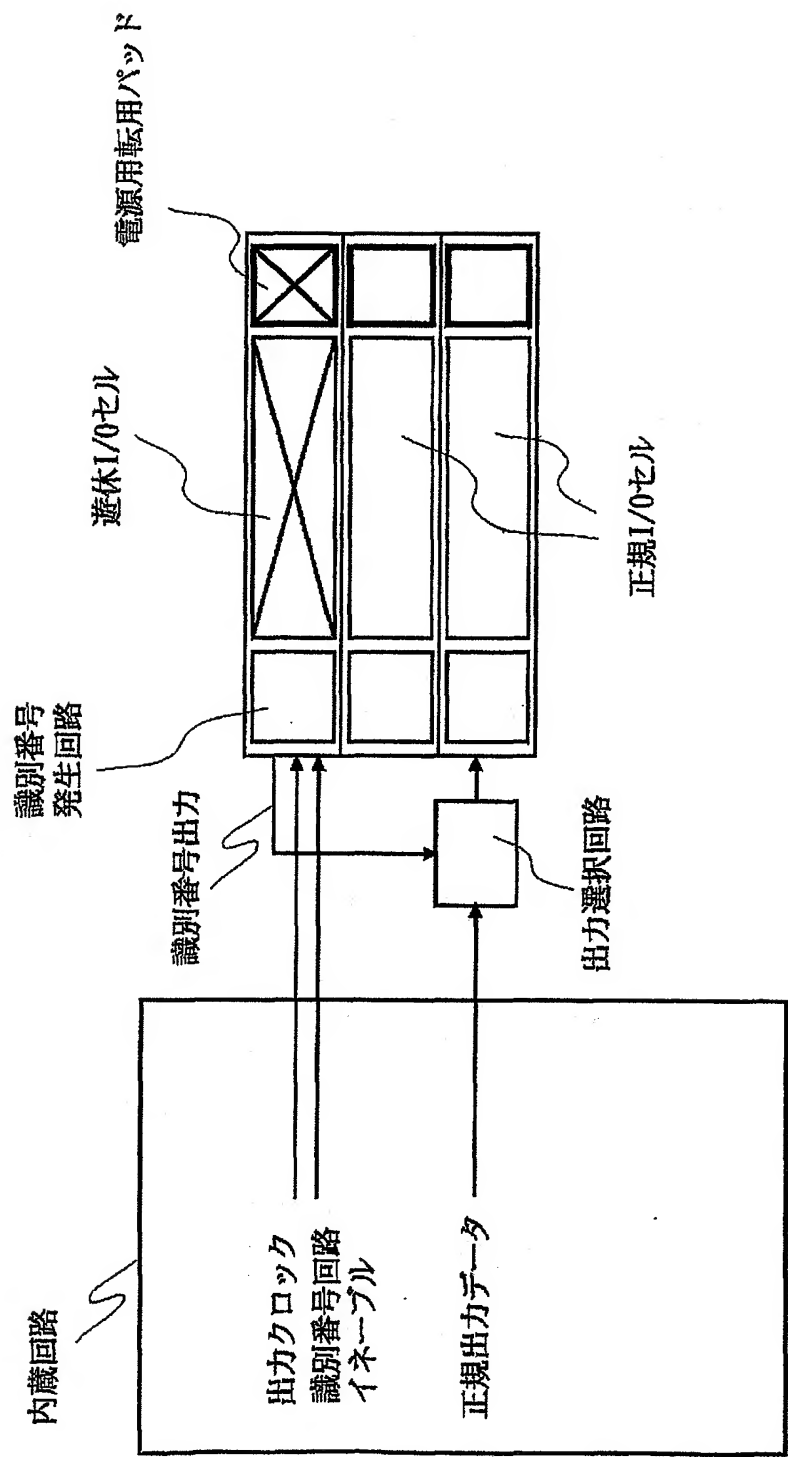
第 8 2 図



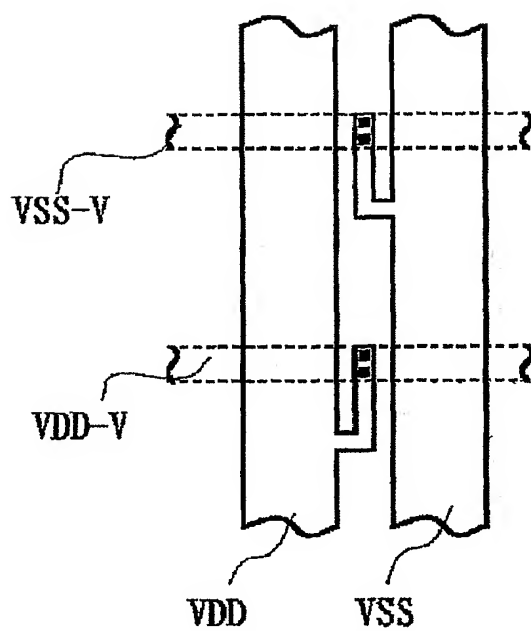
第 8 3 図



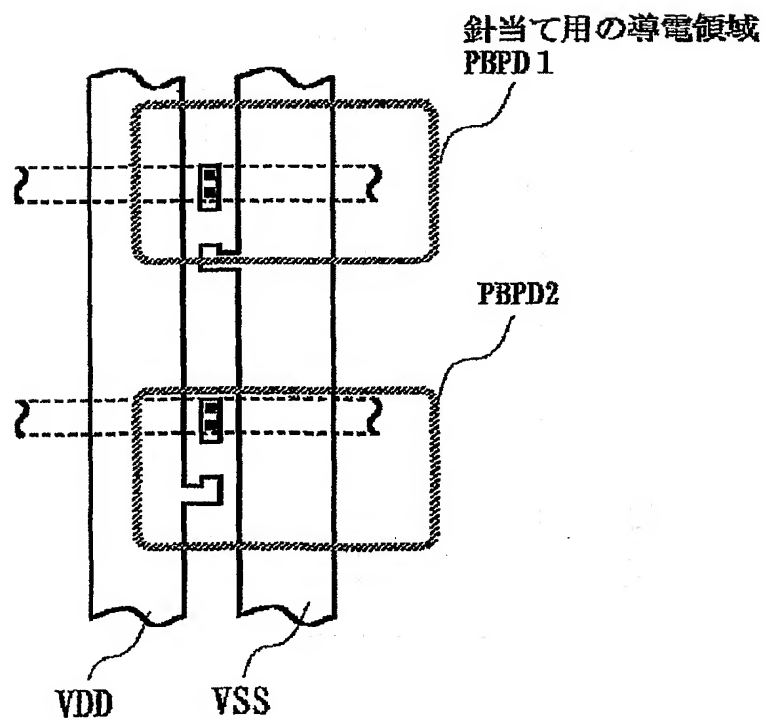
第 8 4 図



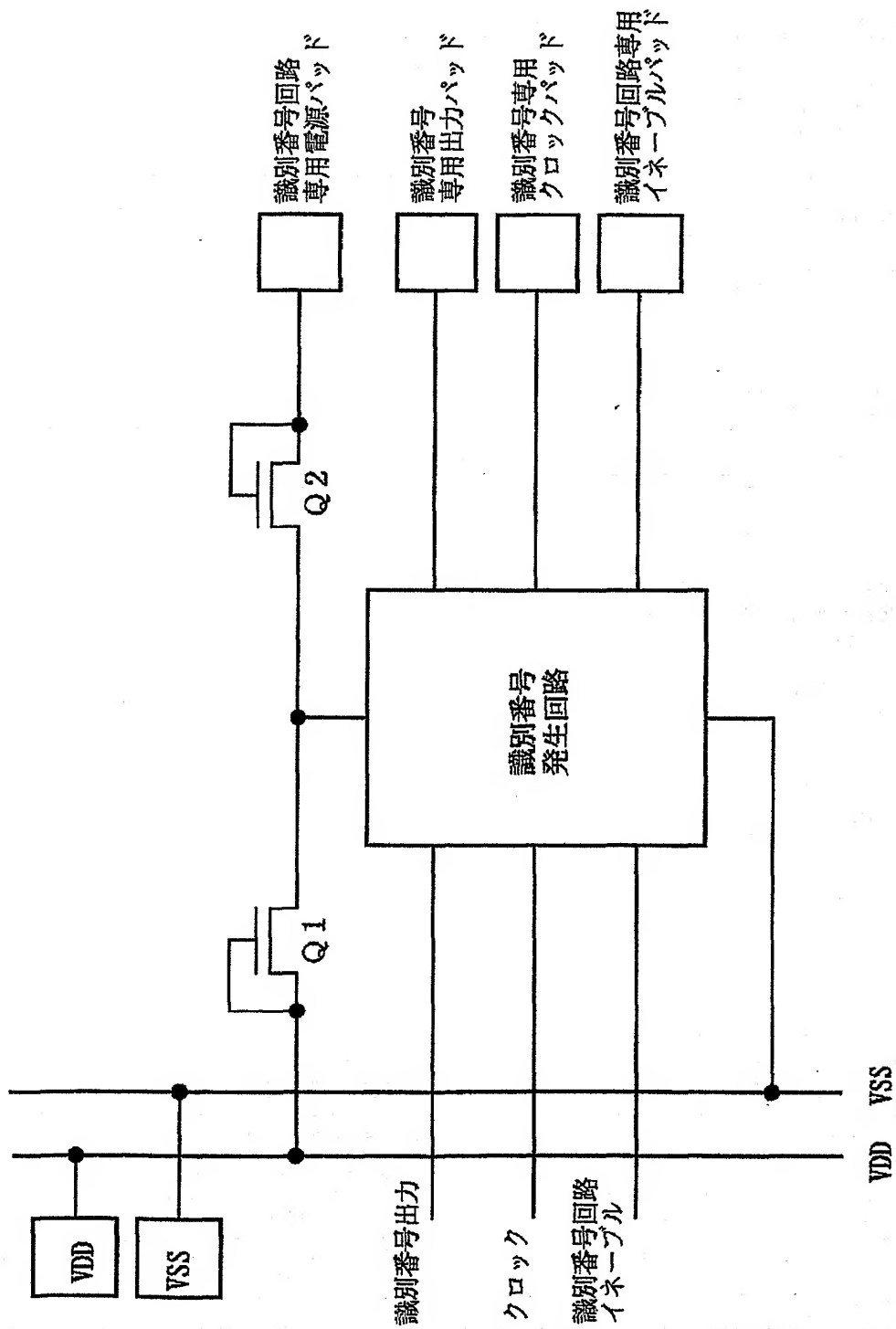
第 8 5 図



第 8 6 図



第 8 7 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/07727

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L21/02, H01L21/66, H01L27/04, G01R31/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L21/02, H01L21/66, H01L21/82, H01L27/04, H04L12/02, G01R31/28, G06F9/06, G11C29/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2001
Kokai Jitsuyo Shinan Koho	1971-2001	Jitsuyo Shinan Toroku Koho	1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 56-050526 A (Mitsubishi Electric Corporation), 07 May, 1981 (07.05.81), Full text (Family: none)	1-27, 29-31, 36-75
A	JP 64-037847 A (NEC Corporation), 08 February, 1989 (08.02.89), Full text (Family: none)	1-27, 29-31, 36-75
A	JP 05-067683 A (Fujitsu, Limited), 19 March, 1993 (19.03.93), Full text (Family: none)	1-27, 29-31, 36-75
A	JP 08-029493 A (Fujitsu, Limited), 02 February, 1996 (02.02.96), Full text (Family: none)	1-27, 29-31, 36-75
A	JP 06-291170 A (Matsushita Electric Ind. Co., Ltd.), 18 October, 1994 (18.10.94), Full text (Family: none)	1-27, 29-31, 36-75

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
04 December, 2001 (04.12.01)Date of mailing of the international search report
18 December, 2001 (18.12.01)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/07727

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5617364 A (Fujitsu, Limited), 01 April, 1997 (01.04.97), Full text & JP 08-017197 A Full text	1-27, 29-31, 36-75
Y	JP 01-100943 A (NEC Corporation), 19 April, 1989 (19.04.89), page 3, upper right column, line 6 to lower left column, line 20; Fig. 3 (Family: none)	28, 32, 33-35
Y	US 5983331 A (Matsushita Electric Industrial Co., Ltd.), 09 November, 1999 (09.11.99), columns 9 to 10 & JP 08-147966 A page 2, left column	28, 32, 33-35
Y	JP 04-369750 A (Sanyo Electric Co., Ltd.), 22 December, 1992 (22.12.92), page 2, left column, lines 2 to 13; Fig. 2 (Family: none)	32, 33-35
Y	JP 08-213464 A (Toshiba Corporation), 20 August, 1996 (20.08.96), Full text (Family: none)	33-35

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int. C1 ⁷ H01L21/02, H01L21/66, H01L27/04, G01R31/28		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int. C1 ⁷ H01L21/02, H01L21/66, H01L21/82, H01L27/04, H04L12/02, G01R31/28, G06F9/06, G11C29/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2001年 日本国登録実用新案公報 1994-2001年 日本国実用新案登録公報 1996-2001年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 56-050526 A (三菱電機株式会社) 7. 5月. 1981 (07. 05. 81) 全文 (ファミリーなし)	1-27, 29-31, 3 6-75
A	JP 64-037847 A (日本電気株式会社) 8. 2月. 1989 (08. 02. 89) 全文 (ファミリーなし)	1-27, 29-31, 3 6-75
A	JP 05-067683 A (富士通株式会社) 19. 3月. 1993 (19. 03. 93) 全文 (ファミリーなし)	1-27, 29-31, 3 6-75
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 04. 12. 01	国際調査報告の発送日 18.12.01	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 棚田 一也 電話番号 03-3581-1101 内線 3498	

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 08-029493 A (富士通株式会社) 2. 2月. 1996 (02. 02. 96) 全文 (ファミリーなし)	1-27, 29-31, 3 6-75
A	JP 06-291170 A (松下電器産業株式会社) 18. 10月. 1994 (18. 10. 94) 全文 (ファミリーなし)	1-27, 29-31, 3 6-75
A	US 5617364 A (Fujitsu Limited) 1. 4月. 1997 (01. 04. 97), 全文 & JP 08-017197 A, 全文	1-27, 29-31, 3 6-75
Y	JP 01-100943 A (日本電気株式会社) 19. 4月. 1989 (19. 04. 89) 第3頁右上欄第6行~同頁左下欄第20行、第3図 (ファミリーなし)	28, 32, 33-35
Y	US 5983331 A (Matsushita Electric Industrial Co. Ltd.) 9. 11月. 1999 (09. 11. 99) 第9~10欄 & JP 08-147966 A, 第2頁左欄	28, 32, 33-35
Y	JP 04-369750 A (三洋電機株式会社) 22. 12月. 1992 (22. 12. 92) 第2頁左欄第2~13行、図2 (ファミリーなし)	32, 33-35
Y	JP 08-213464 A (株式会社東芝) 20. 8月. 1996 (20. 08. 96) 全文 (ファミリーなし)	33-35

